



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

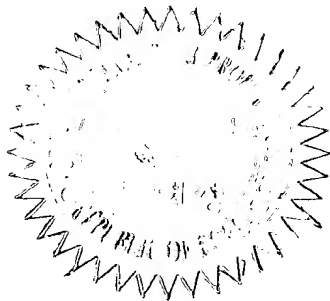
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

출원 번호 : 10-2001-0047489  
Application Number

출원 년 월 일 : 2001년 08월 07일  
Date of Application AUG 07, 2001

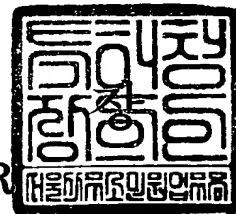
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2005 년 01 월 11 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2001.08.07
【발명의 명칭】	박막 트랜지스터 기판의 제조 방법
【발명의 영문명칭】	FABRICATING METHOD OF THIN FILM TRANSISTOR PLATE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인 (대표변리사김원호송만호)
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-040150-0
【발명자】	
【성명의 국문표기】	김보성
【성명의 영문표기】	KIM,bo sung
【주민등록번호】	671023-1094819
【우편번호】	151-810
【주소】	서울특별시 관악구 봉천6동 100-524 송현빌라 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	정관욱
【성명의 영문표기】	JUNG,KWAN WOOK
【주민등록번호】	721125-1400519
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골주공아파트 911동 1502호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 유미특허법인(대표변리사김원호송만호) (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	46	면	46,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】	75,000	원		
------	--------	---	--	--

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 박막 트랜지스터 기판의 제조 방법에 관한 것으로, 제조 공정을 단순화하기 위하여, 유기 절연막에 패턴을 형성하는 작업과 스페이서를 형성하는 작업을 한번의 사진 식각 공정을 통하여 진행한다. 본 발명에 따른 박막 트랜지스터 기판의 제조 방법으로는, 기판 위에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성한 후, 게이트 배선을 덮는 게이트 절연막을 형성한다. 이어, 게이트 절연막 위에 반도체 패턴을 형성한 후, 게이트 절연막 및 반도체 패턴 위에 데이터선, 소스 전극, 드레인 전극을 포함하는 데이터 배선을 형성한다. 이어, 반도체 패턴 위에 제1 두께를 가지는 돌출 패턴 및 드레인 전극을 드러내는 접촉 구멍이 형성되어 있고, 돌출 패턴 및 접촉 구멍 이외의 다른 부분은 제2 두께를 가지는 유기 절연막 패턴을 형성한 후, 유기 절연막 패턴 위에 상기 접촉 구멍을 통하여 드레인 전극에 연결되는 화소 전극을 형성한다.

**【대표도】**

도 2

**【색인어】**

제조 공정 단순화, 유기 절연막, 스페이서

**【명세서】****【발명의 명칭】**

박막 트랜지스터 기판의 제조 방법 {FABRICATING METHOD OF THIN FILM TRANSISTOR PLATE}

**【도면의 간단한 설명】**

도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 2는 도 1에 보인 절단선 II-II'에 따른 박막 트랜지스터 기판의 단면도이고,

도 3a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판을 제조하기 위한 첫 번째 제조 단계에서의 기판의 배치도이고,

도 3b는 도 3a의 절단선 IIIb-IIIb'에 따른 기판의 단면도이고,

도 4a는 도 3a의 다음 제조 단계에서의 기판의 배치도이고,

도 4b는 도 4a의 절단선 IVb-IVb'에 따른 기판의 단면도이고,

도 5a는 도 4a의 다음 제조 단계에서의 기판의 배치도이고,

도 5b는 도 5a의 절단선 Vb-Vb'에 따른 기판의 단면도이고,

도 6a는 도 5a의 다음 제조 단계에서의 기판의 배치도이고,

도 6b는 도 6a의 절단선 VIb-VIb'에 따른 기판의 단면도이고,

도 7은 도 5b와 도 6b 사이의 중간 제조 단계에서의 기판의 단면도이고,

도 8은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 9 및 도 10은 도 8에 보인 절단선 IX-IX' 및 X-X'에 따른 박막 트랜지스터 기판의 단면도이고,

도 11a는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판을 제조하기 위한 첫 번째 제조 단계에서의 기판의 배치도이고,

도 11b 및 도 11c는 도 11a의 절단선 X I b-X I b'에 따른 기판의 단면도이고,

도 12a는 도 11a의 다음 제조 단계에서의 기판의 배치도이고,

도 12b 및 도 12c는 도 12a의 절단선 X II b-X II b' 및 X II c-X II c'에 따른 기판의 단면도이고

도 13a부터 도 17a 및 도 13b부터 도 17b는 도 11a와 도 12a 사이의 중간 제조 단계 및 도 11b와 도 12b 사이의 중간 제조 단계에서의 기판의 배치도이고,

도 18a는 도 13a의 다음 제조 단계에서의 기판의 배치도이고,

도 18b 및 도 18c는 도 18a의 절단선 X VIII b-X VIII b' 및 X VIII c-X VIII c'에 따른 기판의 단면도이고

도 19a 및 도 19b는 도 12a와 도 18a 사이의 중간 제조 단계 및 도 12b와 도 18b 사이의 중간 제조 단계에서의 기판의 배치도이고,

도 20은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 21은 도 20의 절단선 X X I-X X I'에 따른 기판의 단면도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<24> 본 발명은 박막 트랜지스터 기판의 제조 방법에 관한 것으로 특히, 액정 표시 장치에 사용되는 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

- <25> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중의 하나로서, 전기장을 생성하는 다수의 전극이 형성되어 있는 두 장의 기판과, 두 기판 사이에 개재되는 액정층을 포함하고 있다.
- <26> 이러한 액정 표시 장치에 전기적 신호를 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 화상을 보여준다.
- <27> 액정 표시 장치 중 하나의 기판에는 다수개의 게이트선과 다수개의 데이터선이 교차하여 다수개의 화소 영역을 정의하고 있고, 각각의 화소 영역에는 게이트선과 데이터선에 전기적으로 연결되는 스위칭 소자와 스위칭 소자에 연결되는 화소 전극이 형성되어 있다.
- <28> 한 편, 패널의 휘도 향상을 위한 개구율의 확대를 위하여, 저유전율을 가지는 유기 절연막을 이용하는데, 이 경우, 게이트선과 데이터선 및 화소 전극 사이의 기생 캐패시턴스를 줄일 수 있어서 화소 전극이 게이트선 및 데이터선에 중첩하도록 형성하는 것이 가능하여 개구율을 향상시킬 수 있다. 또한, 두 장의 기판 사이의 간격인 셀 갭을 균일하게 유지하기 위하여 패턴형 스페이서가 이용되고 있다.
- <29> 그러나, 이러한 유기 절연막에 패턴을 형성하거나, 패턴형 스페이서를 형성하는 경우, 마스크를 사용하는 사진 식각 공정을 제각기 별도로 진행해야 하기 때문에 공정 단순화를 추구하는데 어려움이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <30> 본 발명이 이루고자 하는 기술적 과제는 박막 트랜지스터 기판의 제조 공정을 단순화하고자 하는 것이다.

## 【발명의 구성 및 작용】

- <31> 이러한 과제를 해결하기 위하여, 본 발명에서는 유기 절연막에 패턴을 형성하는 작업과 스페이서를 형성하는 작업을 한번의 사진 식각 공정을 통하여 진행한다.
- <32> 상세하게 본 발명에 따른 박막 트랜지스터 기판의 제조 방법으로는, 기판 위에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성한 후, 게이트 배선을 덮는 게이트 절연막을 형성한다. 이어, 게이트 절연막 위에 반도체 패턴을 형성한 후, 게이트 절연막 및 반도체 패턴 위에 데이터선, 소스 전극, 드레인 전극을 포함하는 데이터 배선을 형성한다. 이어, 반도체 패턴 위에 제1 두께를 가지는 돌출 패턴 및 드레인 전극을 드러내는 접촉 구멍이 형성되어 있고, 돌출 패턴 및 접촉 구멍 이외의 다른 부분은 제2 두께를 가지는 유기 절연막 패턴을 형성한 후, 유기 절연막 패턴 위에 상기 접촉 구멍을 통하여 드레인 전극에 연결되는 화소 전극을 형성한다.
- <33> 여기서, 유기 절연막 패턴을 형성하기 위하여, 데이터 배선을 포함하는 기판의 노출된 전면을 덮는 감광성 유기 절연막을 형성한 후, 감광성 유기 절연막을 선택적으로 노광하되, 스페이서가 형성될 제1 부분은 노광하지 않고, 접촉 구멍이 형성될 제2 부분은 전면 노광하고, 제1 및 제2 부분 이외의 부분은 부분 노광한 다음, 선택 노광된 유기 절연막을 현상한다.
- <34> 이 때, 유기 절연막을 선택 노광하는 작업은 유기 절연막의 제1 부분에 비노광 영역이 위치하고, 유기 절연막의 제2 부분에 노광 영역이 위치하고, 제3 부분에 소정 투과율을 가지는 선택 투과 영역이 위치하는 마스크를 사용하여 진행할 수 있다. 마스크의 선택 투과 영역은 슬릿 패턴 또는 반투과 패턴이 형성될 수 있다.



- <35> 또한, 유기 절연막을 선택 노광하는 작업은 유기 절연막의 제2 부분을 노광하는 제1 마스크 및 유기 절연막의 제3 부분을 소정 투과율로 노광하는 제2 마스크를 사용하여 형성할 수 있다.
- <36> 그러면, 도면을 참고로 하여 본 발명에 대하여 설명한다.
- <37> 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이고, 도 2는 도 1에 보인 절단선 II-II'을 따라 나타낸 박막 트랜지스터 기판의 단면도를 나타낸 것이다.
- <38> 절연 기판(10) 위에 저저항 금속 물질 예를 들어, 알루미늄 계열, 몰리브덴 계열, 크롬 계열, 티타늄 계열로 이루어진 게이트 배선(22, 24, 26)이 형성되어 있다. 게이트 배선(22, 24, 26)은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선 (22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가 받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.
- <39> 게이트 배선(22, 24, 26)은 단일층 구조 이외에 이중층 이상의 구조로도 형성될 수 있다. 게이트 배선(22, 24, 26)을 이중층 구조로 형성하는 경우, 두 층 중 적어도 한 층은 저저항 특성을 가지는 금속 물질로 형성하는 것이 유리하다.
- <40> 절연 기판(10) 위에는 절연 물질 예를 들어, 질화 규소로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.
- <41> 게이트 절연막(30) 위에는 반도체 물질 예를 들어, 비정질 규소로 이루어진 반도체 패턴(42)이 게이트 전극(26)에 중첩되도록 형성되어 있으며, 반도체 패턴(42) 위에는 불순물이 도핑된 반도체 물질 예를 들어, n형 불순물이 고농도로 도핑되어 있는 비정질 규소로 이루어진 저저항성 접촉층(ohmic contact layer)(55, 56)이 형성되어 있다.

- <42> 저항성 접촉층(55, 56)과 게이트 절연막(30) 위에는 반도체층과의 접촉 특성이 우수하고 저저항 특성을 가지는 금속 물질 예를 들어, 몰리브덴 또는 몰리브덴 합금과 같은 몰리브덴 계열로 이루어진 데이터 배선(62, 64, 65, 66)이 형성되어 있다.
- <43> 데이터 배선(62, 64, 65, 66)은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 데이터 패드(64), 데이터선(62)에서 돌출되어 하나의 저항성 접촉층(55)에 접촉되어 박막 트랜지스터의 일부를 구성하는 소스 전극(65)과 소스 전극(65)에 대응되어 다른 하나의 저항성 접촉층(56)에 접촉되어 박막 트랜지스터의 일부를 구성하는 드레인 전극(66)을 포함한다.
- <44> 데이터 배선(62, 64, 65, 66)을 포함하는 기판의 노출된 전면에는 아크릴 레진(Acrylic Resin)이나 BCB(BenzoCycloButane)와 같은 유기 절연 물질로 이루어진 유기 절연막 패턴(70)이 형성되어 있다. 이 때, 유기 절연막 패턴(70)은 박막 트랜지스터(TFT) 위에서  $4.5 \sim 5.5 \mu\text{m}$ 의 높이로 돌출되어 있는 스페이서(71), 드레인 전극(66)의 일부를 드러내는 제1 접촉 구멍(72), 데이터 패드(64)를 드러내는 제2 접촉 구멍(74) 및 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 제3 접촉 구멍(76)을 가지고 있으며, 이들 부분을 제외하고는 전면에 걸쳐  $2 \sim 3 \mu\text{m}$ 의 높이로 평탄하게 형성되어 있다.
- <45> 보호막(70) 위에는 IZO 또는, ITO로 이루어진 화소 전극(82), 보조 데이터 패드(84) 및 보조 게이트 패드(86)가 형성되어 있다. 화소 전극(82)은 제1 접촉 구멍(72)을 통하여 드레인 전극(66)과 전기적으로 연결되어 데이터선(62)으로부터 화상 신호를 전달받는다. 그리고, 보조 게이트 패드(84) 및 보조 데이터 패드(86)는 제2 및 제3 접촉 구멍(74, 76)을 통하여 데이터 패드(24) 및 게이트 패드(64)에 전기적으로 연결되어 있다.

- <46> 그러면, 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 앞서의 도 1 및 도 2와 다음의 도 3a 내지 도 7b를 함께 참조하여 설명한다.
- <47> 우선, 도 3a 및 도 3b에 도시한 바와 같이, 기판(10) 위에 저저항 특성이 있는 금속 물질층 예를 들어, 알루미늄 계열층을 증착하고, 사진 식각 공정에 의하여 패터닝하여 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선(22, 24, 26)을 형성한다.
- <48> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 기판(10) 위에 게이트 배선(22, 24, 26)을 덮는 절연 물질 예를 들어, 질화 규소로 이루어진 게이트 절연막(30)을 증착한다.
- <49> 이어, 게이트 절연막(30) 위에 반도체층 및 불순물이 도핑된 반도체층을 각각 순차적으로 적층한 후, 사진 식각 공정에 의하여 불순물이 도핑된 반도체층과 반도체층을 패터닝하여 저항성 접촉층 패턴(52)과 반도체 패턴(42)을 형성한다.
- <50> 다음, 도 5a 및 도 5b에 도시한 바와 같이, 기판 전면에 반도체층과의 접촉 특성이 우수하고 저저항 특성이 있는 금속 물질층 예를 들어, 몰리브덴 계열층을 증착한 후, 사진 식각 공정에 의하여 패터닝하여 데이터선(62), 데이터 패드(64), 소스 전극(65) 및 드레인 전극(66)을 포함하는 데이터 배선(62, 64, 65, 66)을 형성한다.
- <51> 이어, 소스 전극(65)과 드레인 전극(66)을 마스크로 하여 일체형으로 있는 섬 모양의 저항성 접촉층(52)을 식각하여 소스 전극(65)에 접촉되는 저항성 접촉층(55) 및 드레인 전극(66)에 접촉되는 저항성 접촉층(56)으로 분리한다.
- <52> 다음, 도 6a 및 도 6b에 도시한 바와 같이, 기판 전면을 덮되, 박막 트랜지스터(TFT) 위에서 돌출되어 있는 스페이서(71), 드레인 전극(66)의 일부를 드러내는 제1 접촉 구멍(72), 데

이터 패드(64)를 드러내는 제2 접촉 구멍(74) 및 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 제3 접촉 구멍(76)을 가지는 유기 절연막 패턴(70)을 형성한다.

<53> 이러한 유기 절연막 패턴(70)은 하나의 마스크를 사용하는 한 번의 사진 식각 공정을 통하여 형성할 수 있다. 이에 대해 도 7을 참조하여 설명하면 다음과 같다.

<54> 우선, 데이터 배선(62, 64, 65, 66)을 포함하는 기판의 노출된 전면에 감광성 유기 절연 물질로 이루어진 유기 절연막(L)을 도포한다. 감광성 유기 절연 물질은 아크릴 레진이나 BCB와 같은 유기 절연 물질에 감광성 물질을 혼합하여 제조할 수 있다.

<55> 이어, 부분적으로 다른 투과율을 가지는 마스크(도면 미표시)를 통하여 감광성 유기 절연막(L)에 빛을 조사한다. 이 때, 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴, 혹은 반투명막이 부분적으로 패턴화되어 있는 마스크를 사용한다. 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<56> 이 때, 감광성 유기 절연막(L)에서, 제1, 제2 및 제3 접촉 구멍(72, 74, 76)이 형성될 부분(C)에는 빛이 전부 노출되는 마스크의 노광 영역이 위치하도록 하고, 스페이서(71)가 형성될 부분(A)에는 마스크의 비노광 영역이 위치하도록 하게 하고, 다른 부분(B)은 마스크의 슬릿 패턴이 위치하거나 반투명 패턴이 위치하도록 마스크를 사용한다.

<57> 이와 같은 마스크를 통하여 감광성 유기 절연막(L)에 빛을 조사하면 마스크의 노광 영역에 대응되는 부분(C)에서는 고분자가 완전히 분해되며, 마스크의 슬릿 패턴이나 반투명막에 대

응되는 부분(B)에서는 빛의 조사량이 적으므로 고분자가 적정 두께 예를 들어, 유기 절연막 두께의 반 정도 만으로 분해되며, 마스크의 비노광 영역에 대응되는 부분(A)에서는 고분자가 거의 분해되지 않는다. 이 때 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<58> 여기서, 설명한 바와 같이, 하나의 마스크를 사용하는 대신에, 또 다른 실시예로서, 2개의 마스크를 사용하여 유기 절연막에 이중 노광을 진행할 수 있다.

<59> 이를 위하여, 제1, 제2 및 제3 접촉 구멍(72, 74, 76)이 형성될 유기 절연막 부분(C)을 노광하는 제1 마스크를 사용하는 제1 노광 공정과, 스페이서가 형성될 유기 절연막 부분(A)을 제외한 나머지 부분(B, C)을 노광하는 제2 마스크를 사용하는 제2 노광 공정을 각기 진행한 후, 현상하여 유기 절연막 패턴(70)을 형성할 수 있다. 이 때, 제2 노광 공정에서 유기 절연막이 전부 분해되지 않고 적정 두께만큼 노광될 수 있도록 노광량을 조절하는 것이 바람직하다.

<60> 이와 같이 선택 노광된 유기 절연막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 유기 절연막이 남게 되어, 도 6b에 도시한 바와 같은 유기 절연막 패턴(70)을 얻을 수 있다.

<61> 상술한 실시예에서는 빛에 접촉되면 분해되어 현상하는 과정에서 제거되는 양성형 감광성 유기 절연 물질을 사용하여 유기 절연막 패턴(70)을 형성한 경우를 예로 들었지만, 빛에 접촉되면 경화되어 현상하는 과정에서 노광된 부분만이 남게 되는 음성형 감광성 유기 절연 물질을 사용하여 유기 절연막 패턴(70)을 형성할 수 있다. 이 경우, 제1, 제2 및 제3 접촉 구멍(72, 74, 76)이 형성될 유기 절연막 부분(C)에는 마스크의 비노광 영역이 위치하도록 하고, 스

페이서(71)가 형성될 부분(A)에는 마스크의 노광 영역이 위치하도록 하게 하고, 다른 부분(B)은 마스크의 슬릿 패턴이 위치하거나 반투명 패턴이 위치하도록 마스크를 사용한다.

<62> 이어, 유기 절연막 패턴(70)을 마스크로하여 그 하단에 위치하는 게이트 절연막(30)을 식각하여 게이트 패드(24)를 드러내는 제3 접촉 구멍(76)을 형성한다.

<63> 이후, 유기 절연막 패턴(70)을 광 투과율을 높이기 위하여, 유기 절연막 패턴을 경화시키는 작업을 추가로 진행할 수 있다.

<64> 다음, 다시, 도 1 및 도 2에 도시한 바와 같이, IZO층 또는, ITO층을 증착한 후, 사진 식각 공정에 의하여 패터닝하여 제1 접촉 구멍(72)을 통하여 드레인 전극(66)에 접촉하는 화소 전극(82), 제2 및 제3 접촉 구멍(74, 76)을 통하여 데이터 패드(64) 및 게이트 패드(24)에 각각 접촉하는 보조 데이터 패드(84) 및 보조 게이트 패드(86)를 형성한다.

<65> 이어, 후속 공정을 진행하여 박막 트랜지스터 기관의 제조를 완료한다.

<66> 이와 같이, 본 발명의 제1 실시예에 따른 박막 트랜지스터 기관에서는 스페이서를 별도의 사진 식각 공정을 진행하지 않고서도, 유기 절연막에 접촉 구멍을 형성하기 위한 사진 식각 공정을 통하여 진행하기 때문에 공정 단순화에 유리하다.

<67> 도 8은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기관의 배치도를 나타낸 것이고, 도 9 및 도 10은 도 8에 보인 절단선 IX-IX' 및 X-X'을 따라 각각 나타낸 단면도이다.

<68> 절연 기관(10) 위에 저저항 금속 물질 예를 들어, 알루미늄 계열, 몰리브덴 계열, 크롬 계열, 티타늄 계열로 이루어진 게이트 배선(22, 24, 26, 28)이 형성되

어 있다. 게이트 배선(22, 24, 26, 28)은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함하는 게이트선부(22, 24, 26)와 게이트선(22)과 평행한 유지 축전기용 유지 전극(28)을 포함하고 있다.

<69> 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩하여 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

<70> 게이트 배선(22, 24, 26, 28)은 단일층 구조 이외에 이중층 이상의 구조로도 형성될 수 있다. 게이트 배선(22, 24, 26, 28)을 이중층 구조로 형성하는 경우, 두 층 중 적어도 한 층은 저저항 특성을 가지는 금속 물질로 형성하는 것이 유리하다.

<71> 절연 기판(10) 위에는 절연 물질 예를 들어, 질화 규소로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26, 28)을 덮고 있다.

<72> 게이트 절연막(30) 위에는 반도체 물질 예를 들어, 비정질 규소로 이루어진 반도체 패턴(42, 48)이 형성되어 있고, 반도체 패턴(42, 48) 위에는 불순물이 도핑되어 있는 반도체 물질 예를 들어, 불순물이 도핑되어 있는 비정질 규소로 이루어진 저항성 접촉층 패턴(55, 56, 58)이 형성되어 있다.

<73> 저항성 접촉층 패턴(55, 56, 58) 위에는 반도체층과의 접촉 특성이 우수하고 저저항 특성을 가지는 금속 물질 예를 들어, 몰리브덴 계열로 이루어진 데이터 배선(62, 64, 65, 66, 68)이 형성되어 있다.

<74> 데이터 배선(62, 64, 65, 66, 68)은 세로 방향으로 형성되어 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 데이터 패드(64), 데이터선(62)에서 돌출되어 하나의 저항성 접촉층(55)에 접촉되어 박막 트랜지스터의 일부를 구성하는 소스 전극(65)과 소스 전극(65)에 대응되어 다른 하나의 저항성 접촉층(56)에 접촉되어 박막 트랜지스터의 일부를 구성하는 드레인 전극(66)을 포함하는 데이터선부 (62, 64, 65, 66)와 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(68)을 포함하고 있다.

<75> 반도체 패턴(42, 48)은 박막 트랜지스터용 반도체 패턴(42)과 유지 축전기용 반도체 패턴(48)을 포함하는데, 소스 전극(65)과 드레인 전극(66) 사이의 영역 즉, 박막 트랜지스터의 채널 영역을 제외하면, 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 즉, 유지 축전기용 반도체 패턴(48)은 유지 축전기용 도전체 패턴(68) 및 유지 축전기용 접촉층 패턴(58)과 동일한 반면에, 박막 트랜지스터용 반도체 패턴(42)은 후술되는 데이터선(62), 데이터 패드(64), 소스 전극(65) 및 드레인 전극(66)이 이루는 데이터선부(62, 64, 65, 66)와는 동일하되, 소스 전극(65)과 드레인 전극(66)의 사이에 위치하는 박막 트랜지스터의 채널로 정의되는 영역을 더 포함하고 있다.

<76> 여기서, 저항성 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 동일한 형태를 가진다. 이 때, 하나의 저항성 접촉층 패턴(55)은 일체를 이루는 데이터선(62), 데이터 패드(64) 및 소스 전극(65)에 접촉되어 있고, 다른 저항성 접촉층 패턴(56)은 드레인 전극(66)에 접촉되어 있고, 또 다른 접촉층 패턴(58)은 유지 축전기용 도전체 패턴(68)에 접촉되어 있다.



<77> 데이터 배선(62, 64, 65, 66)을 포함하는 기판의 노출된 전면에는 아크릴 레진(Acrylic Resin)이나 BCB(BenzoCycloButane)와 같은 유기 절연 물질로 이루어진 유기 절연막 패턴(70)이 형성되어 있다. 이 때, 유기 절연막 패턴(70)은 박막 트랜지스터(TFT) 위에서  $4.5 \sim 5.5 \mu\text{m}$ 의 높이로 돌출되어 있는 스페이서(71), 드레인 전극(66)의 일부를 드러내는 제1 접촉 구멍(72), 데이터 패드(64)를 드러내는 제2 접촉 구멍(74) 및 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 제3 접촉 구멍(76) 및 유지 축전기용 도전체 패턴(68)을 드러내는 제4 접촉 구멍(78)을 가지고 있으며, 이들 부분을 제외하고는 전면에 걸쳐  $2 \sim 3 \mu\text{m}$ 의 높이로 평탄하게 형성되어 있다.

<78> 유기 절연막 패턴(70) 위에는 IZO 또는, ITO로 이루어진 화소 전극(82), 보조 게이트 패드(84) 및 보조 데이터 패드(86)가 형성되어 있다. 화소 전극(82)은 제1 및 제4 접촉 구멍(72, 78)을 통하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(68)에 접촉한다. 그리고, 보조 데이터 패드(84) 및 보조 게이트 패드(86)는 제2 및 제3 접촉 구멍(74, 76)을 통하여 데이터 패드(24) 및 게이트 패드(64)에 접촉하고 있다.

<79> 그러면, 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 도 11a부터 도 19b와 앞서의 도 8, 도 9 및 도 10을 참조하여 설명한다.

<80> 우선, 도 11a, 도 11b 및 도 11c에 도시한 바와 같이, 기판(10) 위에 저저항 특성이 있는 금속 물질층 예를 들어, 알루미늄 계열층을 증착하고, 사진 식각 공정에 의해 패터닝하여 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 축전기용 도전체 패턴(28)을 포함하는 게이트 배선(22, 24, 26, 28)을 형성한다.

<81> 이어, 기판(10) 위에 게이트 배선(22, 24, 26, 28)을 덮는 절연 물질 예를 들어, 질화 규소로 이루어진 게이트 절연막(30)을 증착한다.

<82> 다음, 도 12a, 도 12b 및 도 12c에 도시한 바와 같이, 게이트 절연막(30) 위에 반도체층, 불순물이 도핑된 반도체층 및 데이터 배선용 금속층을 연속적으로 증착하고, 이 다중층을 사진 식각 공정으로 패터닝하여 반도체 패턴(42, 48), 저항성 접촉층 패턴(55, 56, 58) 및 데이터 패드(64), 소스 전극(65), 드레인 전극(66) 및 유지 축전기용 유지 전극(68)을 포함하는 데이터 배선(62, 64, 65, 66, 68)을 형성한다. 데이터 배선용 금속층은 반도체층과의 접촉 특성이 우수하고 저저항 특성이 있는 금속 물질층 예를 들어, 몰리브덴 계열로 형성하는 것이 바람직하다.

<83> 데이터 배선(62, 64, 65, 66, 68) 하단에는 그와 동일한 패턴을 가지는 저항성 접촉층 패턴(55, 56, 58)이 접촉되어 있고, 저항성 접촉층 패턴(55, 56, 58) 하단에는 박막 트랜지스터용 반도체 패턴(42)과 유지 축전기용 반도체 패턴(48)을 포함하는 반도체 패턴(42, 48)이 접촉되어 있다. 박막 트랜지스터용 반도체 패턴(42)은 데이터선부(62, 64, 65, 66)와는 동일해지, 소스 전극(65)과 드레인 전극(66)의 사이에 위치하는 박막 트랜지스터의 채널로 정의되는 영역을 더 포함한다.

<84> 이러한 데이터 배선(62, 64, 65, 66, 68), 저항성 접촉층(55, 56, 58) 및 반도체 패턴(42, 48)은 하나의 마스크만을 사용하여 형성할 수 있다. 이를 도 13a부터 도 17b를 참조하여 설명한다.

<85> 우선, 도 13a 및 도 13b에 도시한 바와 같이, 게이트 절연막(30) 위에 반도체층(40), 불순물이 도핑된 반도체층(50)을 화학 기상 증착법을 이용하여 연속 증착한다. 그리고, 계속해서, 데이터 배선용 금속층(60)을 증착한다.

<86> 다음, 도 14a 및 도 14b에 도시한 바와 같이, 데이터 배선용 금속층(60) 위에 감광막을 도포한 다음, 마스크(도면 미표시)를 통하여 감광막에 빛을 조사한 후, 현상하여 감광막 패턴

(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114)은 데이터 배선 부분(A)에 위치한 감광막의 제1 부분(112)이 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 감광막의 제2 부분 (114)보다 두껍게 되도록 형성하며, 기타 부분(B)은 잔류하지 않도록 형성된다. 감광막의 제2 부분(114)의 감광막의 제1 부분(112)의 두께의 비는 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제2 부분(114)의 두께를 제 1 부분 (112) 두께의 1/2 이하로 하는 것이 바람직하다.

<87> 이와 같이, 부분적으로 다른 두께를 가지는 감광막 패턴은 부분적으로 다른 투과율을 가지는 하나의 마스크를 사용하여 형성한다. 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴, 혹은 반투명막이 있는 마스크를 사용한다. 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<88> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분(C)에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막에 대응되는 부분(B)에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분(A)에서는 고분자가 거의 분해되지 않는다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<89> 이와 같이 선택 노광된 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남는다.

- <90> 다음, 도 15a 및 도 15b에 도시한 바와 같이, 감광막 패턴(112, 114)을 마스크로하여 기타 부분(B)의 노출되어 있는 금속층(60)을 식각하고, 그 하부의 불순물이 도핑된 반도체층(50)을 노출시킨다.
- <91> 이렇게 하면, 채널부(C) 및 데이터 배선부(A)에 있는 금속층 패턴(67, 68)만이 남고, 기타 부분(B)의 금속층은 제거되어 그 하부에 위치하는 불순물이 도핑된 반도체층(50)이 드러난다. 금속층 패턴(68)은 유지 축전기용 도전체 패턴이고, 금속층 패턴(67)은 소스 전극(65)과 드레인 전극(66)이 아직 분리되지 않아 일체인 상태로 존재하는 데이터 배선 금속층이다.
- <92> 다음, 도 16a 및 도 16b에 도시한 바와 같이, 기타 부분(B)의 노출된 불순물이 도핑된 반도체층(50) 및 그 하부의 반도체층(40)을 감광막의 제 2 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 불순물이 도핑된 반도체층(50) 및 반도체층(40)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행한다. 이 때, 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어,  $\text{SF}_6$ 과  $\text{HCl}$ 의 혼합 기체나,  $\text{SF}_6$ 과  $\text{O}_2$ 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다.
- <93> 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우, 감광막의 제 2 부분(114)의 두께는 반도체층(40)과 불순물이 도핑된 반도체층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.
- <94> 이렇게 하면, 채널부(C)에 위치한 감광막의 제 2 부분(114)이 제거되어 채널부(C)의 금속층 패턴(67)이 드러나고, 기타 부분(B)의 불순물이 도핑된 반도체층(50) 및 반도체층(40)은 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 감광막의 제 1 부분(112) 역시 식각되므로 두께가 얇아진다.

- <95> 이 단계에서 박막 트랜지스터용 반도체 패턴(42)과 유지 축전기용 반도체 패턴(48)을 포함하는 반도체 패턴(42, 48)이 완성된다.
- <96> 그리고, 박막 트랜지스터용 반도체 패턴(42) 위에는 저항성 접촉층(57)이 반도체 패턴(42)과 동일한 패턴으로 형성되어 있고, 유지 축전기용 반도체 패턴(48) 위에도 저항성 접촉층(58)이 반도체 패턴(48)과 동일한 패턴으로 형성되어 있다.
- <97> 이어, 에싱(ashing)을 통하여 채널부(C)의 금속층 패턴(67) 표면에 남아 있는 감광막의 제 2 부분의 잔류물을 제거하여 한다.
- <98> 다음, 도 17a 및 17b에 도시한 바와 같이, 남아 있는 감광막 패턴의 제 1 부분(112)을 마스크로하여 채널부(C)에 위치하는 금속층 패턴(67) 및 그 하부의 저항성 접촉층 패턴(57) 부분을 식각한다.
- <99> 이 때, 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제1 부분(112)도 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 감광막 패턴의 제1 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴을 두껍게 하는 것이 바람직하다.
- <100> 이렇게 하면, 금속층 패턴(67)에서 소스 전극(65)과 드레인 전극(66)이 분리되어 데이터 선(62), 소스 전극(65) 및 드레인 전극(68)이 완성되고, 그 하부의 저항성 접촉층 패턴(55, 56, 58)이 완성된다.
- <101> 다음, 도 18a, 도 18b 및 도 18c에 도시한 바와 같이, 기판 위에 잔류되어 있는 감광막 패턴의 제1 부분(112)을 에싱을 통하여 제거한다.

- <102> 이어, 기판 전면을 덮되, 박막 트랜지스터(TFT) 위에서 돌출되어 있는 스페이서(71), 드레인 전극(66)의 일부를 드러내는 제1 접촉 구멍(72), 데이터 패드 (64)를 드러내는 제2 접촉 구멍(74) 및 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 제3 접촉 구멍(76) 및 유지 축전기용 도전체 패턴(68)을 드러내는 제4 접촉 구멍(78)을 가지는 유기 절연막 패턴(70)을 형성한다.
- <103> 이러한 유기 절연막 패턴(70)은 하나의 마스크를 사용하여 한 번의 사진 식각 공정을 통하여 형성할 수 있다. 이에 대해 도 19a 및 도 19b를 참조하여 설명하면 다음과 같다.
- <104> 우선, 데이터 배선(62, 64, 65, 66, 68)을 포함하는 기판의 노출된 전면에는 감광성 유기 절연 물질로 이루어진 유기 절연막(L)을 도포한다. 감광성 유기 절연 물질은 아크릴 레진이나 BCB와 같은 유기 절연 물질에 감광성 물질을 혼합하여 제조할 수 있다.
- <105> 이어, 부분적으로 다른 투과율을 가지는 마스크(도면 미표시)를 통하여 감광성 유기 절연막(L)에 빛을 선택적으로 조사한다. 이 때, 빛 투과량을 조절하기 위하여 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판을 설명하는 과정에서 언급한 바와 같은 부분적으로 다른 투과율을 가지는 마스크를 사용한다.
- <106> 이 때, 감광성 유기 절연막(L)에서, 제1, 제2, 제3 및 제4 접촉 구멍(72, 74, 76, 78)이 형성될 부분(C)에는 빛이 전부 노출되는 마스크의 노광 영역이 위치하도록 하고, 스페이서(71)가 형성될 부분(A)에는 마스크의 비노광 영역이 위치하도록 하게 다른 부분(B)은 마스크의 슬릿 패턴이 위치하거나 반투명 패턴이 위치하도록 마스크를 사용한다.
- <107> 이와 같은 마스크를 통하여 감광성 유기 절연막(L)에 빛을 조사하면 마스크의 노광 영역에 대응되는 부분(C)에서는 고분자가 완전히 분해되며, 마스크의 슬릿 패턴이나 반투명막에 대

응되는 부분(B)에서는 빛의 조사량이 적으므로 고분자가 적정 두께 예를 들어, 유기 절연막 두께의 반 정도 만으로 분해되며, 마스크의 비노광 영역에 대응되는 부분(A)에서는 고분자가 거의 분해되지 않는다. 이 때 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<108> 여기서, 하나의 마스크를 사용하는 대신에, 또 다른 실시예로서, 2개의 마스크를 사용하여 유기 절연막에 이중 노광을 진행할 수 있다.

<109> 이를 위하여, 제1, 제2, 제3 및 제4 접촉 구멍(72, 74, 76, 78)이 형성될 유기 절연막 부분(C)을 노광하는 제1 마스크를 사용하는 제1 노광 공정과, 스페이서가 형성될 유기 절연막 부분(A)을 제외한 나머지 부분(B, C)을 노광하는 제2 마스크를 사용하는 제2 노광 공정을 각기 진행한 후, 현상하여 유기 절연막 패턴(70)을 형성할 수 있다. 이 때, 제2 노광 공정에서 유기 절연막이 전부 분해되지 않고 적정 두께만큼 노광될 수 있도록 노광량을 조절하는 것이 바람직하다.

<110> 이와 같이 선택 노광된 유기 절연막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 유기 절연막이 남게 되어, 도 18b에 도시한 바와 같은 유기 절연막 패턴(70)을 얻을 수 있다.

<111> 상술한 실시예에서는 빛에 접촉되면 분해되어 현상하는 과정에서 제거되는 양성형 감광성 유기 절연 물질을 사용하여 유기 절연막 패턴(70)을 형성한 경우를 예로 들었지만, 빛에 접촉되면 경화되어 현상하는 과정에서 노광된 부분만이 남게 되는 음성형 감광성 유기 절연 물질을 사용하여 유기 절연막 패턴(70)을 형성할 수 있다. 이 경우, 제1, 제2, 제3 및 제4 접촉 구멍(72, 74, 76, 78)이 형성될 유기 절연막 부분(C)에는 마스크의 비노광 영역이 위치하도록 하고, 스페이서(71)가 형성될 부분(A)에는 마스크의 노광 영역이 위치하도록 하게 하고, 다른

부분(B)은 마스크의 슬릿 패턴이 위치하거나 반투명 패턴이 위치하도록 마스크를 사용한다.

<112> 이어, 유기 절연막 패턴(70)을 마스크로하여 그 하단에 위치하는 게이트 절연막(30)을 식각하여 게이트 패드(24)를 드러내는 제3 접촉 구멍(76)을 형성한다.

<113> 이후, 유기 절연막 패턴(70)을 광 투과율을 높이기 위하여, 유기 절연막 패턴을 경화시키는 작업을 추가로 진행할 수 있다.

<114> 다음, 다시, 도 8, 도 9 및 도 10에 도시한 바와 같이, IZO층 또는, IZO층을 증착한 후, 사진 식각 공정에 의하여 패터닝하여 제1 및 제4 접촉 구멍(72, 78)을 통하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(68)에 접촉하는 화소 전극(82), 제2 및 제3 접촉 구멍(74, 76)을 통하여 데이터 패드(64) 및 게이트 패드(24)에 각각 접촉하는 보조 데이터 패드(84) 및 보조 게이트 패드(86)를 형성한다.

<115> 이어, 후속 공정을 진행하여 박막 트랜지스터 기판의 제조를 완료한다.

<116> 이와 같이, 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판에서는 스페이서를 별도의 사진 식각 공정을 진행하지 않고서도, 유기 절연막에 접촉 구멍을 형성하기 위한 사진 식각 공정을 통하여 진행하기 때문에 공정 단순화에 유리하다. 또한, 하나의 마스크를 사용하여 데이터 배선 및 반도체층을 동시에 형성하므로, 공정 단순화에 있어서 더욱 유리하다.

<117> 이러한 본 발명은 다양한 구조의 박막 트랜지스터 기판을 제조하는데 적용이 가능하다.

<118> 도 19는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 20은 도 19에 도시한 절단선 X X'-에 따른 박막 트랜지스터 기판의 단면도이다.



- <119> 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판은 시야각을 넓히기 위하여 액정 분자를 상하 기판에 대하여 수직으로 배향하고 화소 전극과 그의 대향 전극인 공통 전극에 일정한 개구 패턴을 형성하거나 돌기를 형성한 구조를 가지는 액정 표시 장치에 사용되는 하부 기판을 나타낸다.
- <120> 기판(110) 위에 게이트선(121), 게이트 전극(122) 및 게이트 패드(123)를 포함하는 게이트 배선(121, 122, 123)과 유지 용량선(124), 유지 전극(125, 126, 127) 및 유지 전극 연결부(128, 129)를 포함하는 유지 용량 배선(124, 125, 126, 127, 128, 129)이 형성되어 있다.
- <121> 게이트 배선(121, 122, 123) 및 유지 용량 배선(124, 125, 126, 127, 128, 129)을 게이트 절연막(130)이 덮고 있다.
- <122> 게이트 절연막(130) 위에는 반도체층(141) 및 한 쌍의 저항성 접촉층(152, 153)이 형성되어 있다. 또한, 게이트 절연막(130) 위에는 데이터선(161), 데이터선(161)에 연결되어 저항성 접촉층(152)에 접촉하는 소스 전극(162), 소스 전극(162)에 대응하여 저항성 접촉층(153)에 접촉되는 드레인 전극(163) 및 데이터 패드(164)를 포함하는 데이터 배선(161, 162, 163, 164)이 형성되어 있다.
- <123> 그리고, 이러한 데이터 배선(161, 162, 163, 164)을 포함하는 기판의 노출된 전면을 유기 절연막 패턴(70)이 덮고 있다. 여기서, 유기 절연막 패턴(70)은 박막 트랜지스터(TFT) 위에서  $4.5 \sim 5.5 \mu\text{m}$ 의 높이로 돌출되어 있는 스페이서(171), 드레인 전극(163)의 일부를 드러내는 제1 접촉 구멍(172), 데이터 패드(164)를 드러내는 제2 접촉 구멍(174) 및 게이트 절연막(130)과 함께 게이트 패드(123)를 드러내는 제3 접촉 구멍(173)을 가지고 있으며, 이들 부분을 제외하고는 전면에 걸쳐  $2 \sim 3 \mu\text{m}$ 의 높이로 평탄하게 형성되어 있다.

<124> 이러한 유기 절연막 패턴(170) 위에 제1 접촉 구멍(172)을 통하여 드레인 전극(163)에 접촉되는 화소 전극(82) 및 제2 및 제3 접촉 구멍(174, 173)을 통하여 데이터 및 게이트 패드(164, 123)에 접촉하는 보조 데이터 및 보조 게이트 패드(187, 188)가 형성되어 있다. 이 때, 화소 전극(180)은 상부에 나란하게 위치하는 두 개의 제1 및 제2 소영역(181, 182) 및 하부에 위치하는 하나의 중영역(183)으로 영역이 구분되어 있고, 제1 및 제2 영역(181, 182)은 제1 연결부(185)를 통하여 연결되어 있으며, 제2 소영역(182)과 중영역(183)은 제2 및 제3 연결부(184, 185)를 통하여 연결되어 있는 패턴을 가지고 있다.

<125> 이러한 구조를 가지는 박막 트랜지스터 기판에, 도 19의 점선으로 보인 바와 같은 개구 패턴을 가지는 공통 전극(도면 미표시)이 형성된 상부 기판을 합착하여 액정 표시 장치를 제조한다. 이러한 액정 표시 장치에서는 화소 전극(180)의 패턴과 공통 전극의 개구 패턴(점선으로 보임)이 액정을 분할 배향하는 기능을 하여 하나의 화소 영역에 다수의 액정 도메인을 실현하기 때문에 광시야각 구현이 가능하다.

<126> 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 제조 공정은 각 구성의 패턴 형상이 다르고, 유지 용량 배선(124, 125, 126, 127, 128, 129)을 더 형성해야 하는 점을 제외하고는 본 발명의 제1 실시예에 따른 박막 트랜지스터의 제조 공정과 동일하다.

<127> 즉, 절연 기판(110) 위에 게이트선(121), 게이트 전극(122) 및 게이트 패드(123)를 포함하는 게이트 배선(121, 122, 123) 및 게이트 배선(124, 125, 126, 127, 128, 129)을 형성하고, 이들 배선을 덮는 게이트 절연막(130)을 형성한다. 이어, 반도체층(141) 및 저항성 접촉층을 형성하고, 그 위에 데이터선(161), 소스 전극(162), 드레인 전극(163) 및 데이터 패드(164)를 포함하는 데이터 배선(161, 162, 163, 164)을 형성한 후, 소스 전극(163)과 드레인(164)을 마스크로 저항성 접촉층을 분리한다. 이어, 데이터 배선(161, 162, 163, 164)을 포함

하는 기판의 전면에 박막 트랜지스터(TFT) 위에 돌출되어 있는 스페이서(71), 드레인 전극(66)의 일부를 드러내는 제1 접촉 구멍(72), 데이터 패드(64)를 드러내는 제2 접촉 구멍(74) 및 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 제3 접촉 구멍(76)을 가지는 유기 절연막 패턴(170)을 형성한 후, 유기 절연막 패턴(170) 위에 제1 접촉 구멍(172)을 통하여 드레인 전극(164)에 접촉되는 화소 전극(180), 제2 및 제3 접촉 구멍(173, 174)을 통하여 데이터 및 게이트 패드(164, 123)에 접촉하는 보조 데이터 및 보조 게이트 패드(187, 188)를 형성한다.

<128> 이때, 유기 절연막 패턴(170)은 언급한 본 발명의 제1 및 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법과 동일한 공정으로 형성한다.

#### 【발명의 효과】

<129> 본 발명은 스페이서를 유기 절연막에 접촉 구멍을 패터닝하는 과정을 통하여 접촉 구멍을 형성하는 동시에 형성하기 때문에, 스페이서를 형성하기 위한 사진 식각 공정 예를 들어, 감광막 도포, 감광막 노광 및 현상하는 모든 공정을 생략할 수 있어서 박막 트랜지스터 기판의 제조 공정을 단순화할 수 있다.

**【특허청구범위】****【청구항 1】**

기판 위에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체 패턴을 형성하는 단계,

상기 게이트 절연막 및 상기 반도체 패턴 위에 데이터선, 소스 전극, 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 반도체 패턴 위에 제1 두께를 가지는 돌출 패턴 및 상기 드레인 전극을 드러내는 접촉 구멍이 형성되어 있고, 상기 돌출 패턴 및 상기 접촉 구멍 이외의 다른 부분은 제2 두께를 가지는 유기 절연막 패턴을 형성하는 단계;

상기 유기 절연막 패턴 위에 상기 접촉 구멍을 통하여 상기 드레인 전극에 연결되는 화소 전극을 형성하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

**【청구항 2】**

제1항에서,

상기 유기 절연막 패턴을 형성하는 단계는,

상기 데이터 배선을 포함하는 기판의 노출된 전면을 덮는 감광성 유기 절연막을 형성하는 단계;

상기 감광성 유기 절연막을 선택적으로 노광하되, 상기 스페이서가을 형성될 제1 부분은 노광하지 않고, 상기 접촉 구멍이 형성될 제2 부분은 전면 노광하고, 상기 제1 및 제2 부분 이외의 부분은 부분 노광하는 단계;

상기 선택 노광된 유기 절연막을 현상하는 단계  
를 포함하는 박막 트랜지스터 기판의 제조 방법.

### 【청구항 3】

제2항에서,

상기 유기 절연막을 선택 노광하는 작업은 상기 유기 절연막의 제1 부분에 비노광 영역이 위치하고, 상기 유기 절연막의 제2 부분에 노광 영역이 위치하고, 상기 제3 부분에 소정 투과율을 가지는 선택 투과 영역이 위치하는 마스크를 사용하여 진행하는 박막 트랜지스터 기판의 제조 방법.

### 【청구항 4】

제3항에서,

상기 마스크의 선택 투과 영역은 슬릿 패턴 또는 반투과 패턴이 형성되어 있는 박막 트랜지스터 기판의 제조 방법.

### 【청구항 5】

제2항에서,

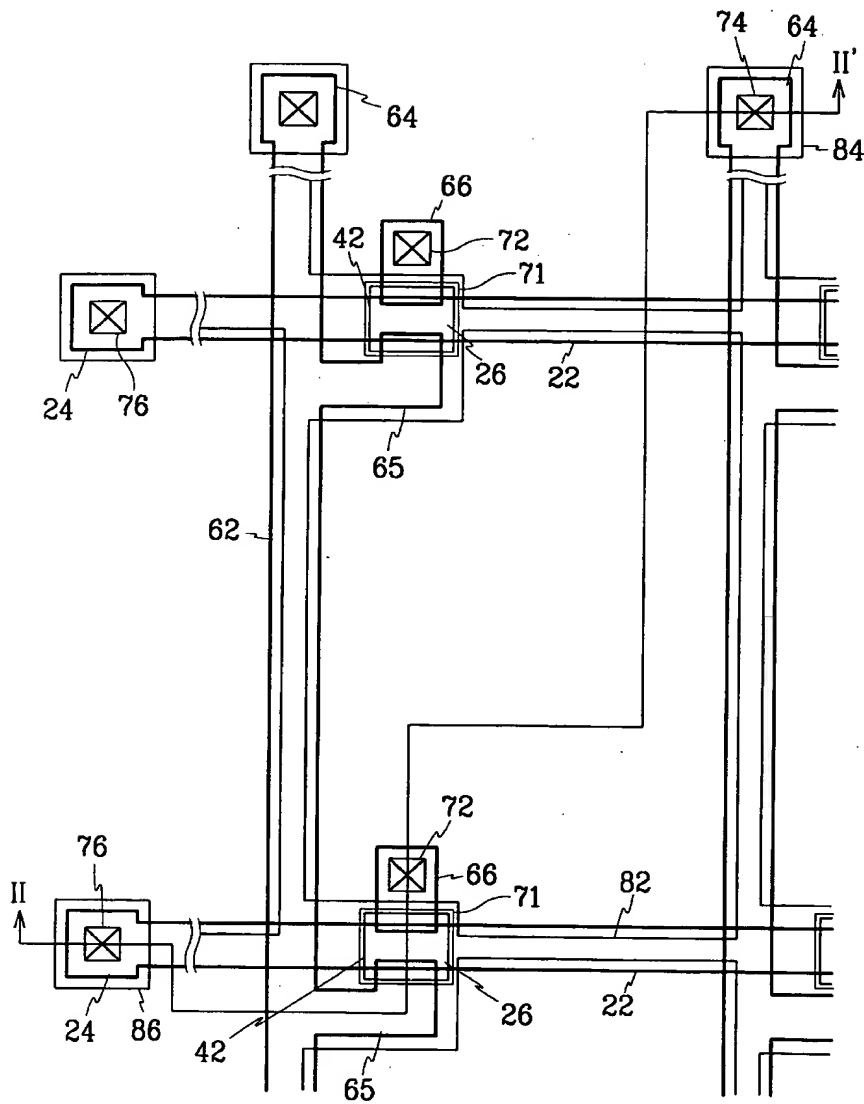
상기 유기 절연막을 선택 노광하는 작업은 상기 유기 절연막의 제2 부분을 노광하는 제1 마스크 및 상기 유기 절연막의 제3 부분을 소정 투과율로 노광하는 제2 마스크를 사용하여 진행하는 박막 트랜지스터 기판의 제조 방법.

1020010047489

출력 일자: 2005/1/12

【도면】

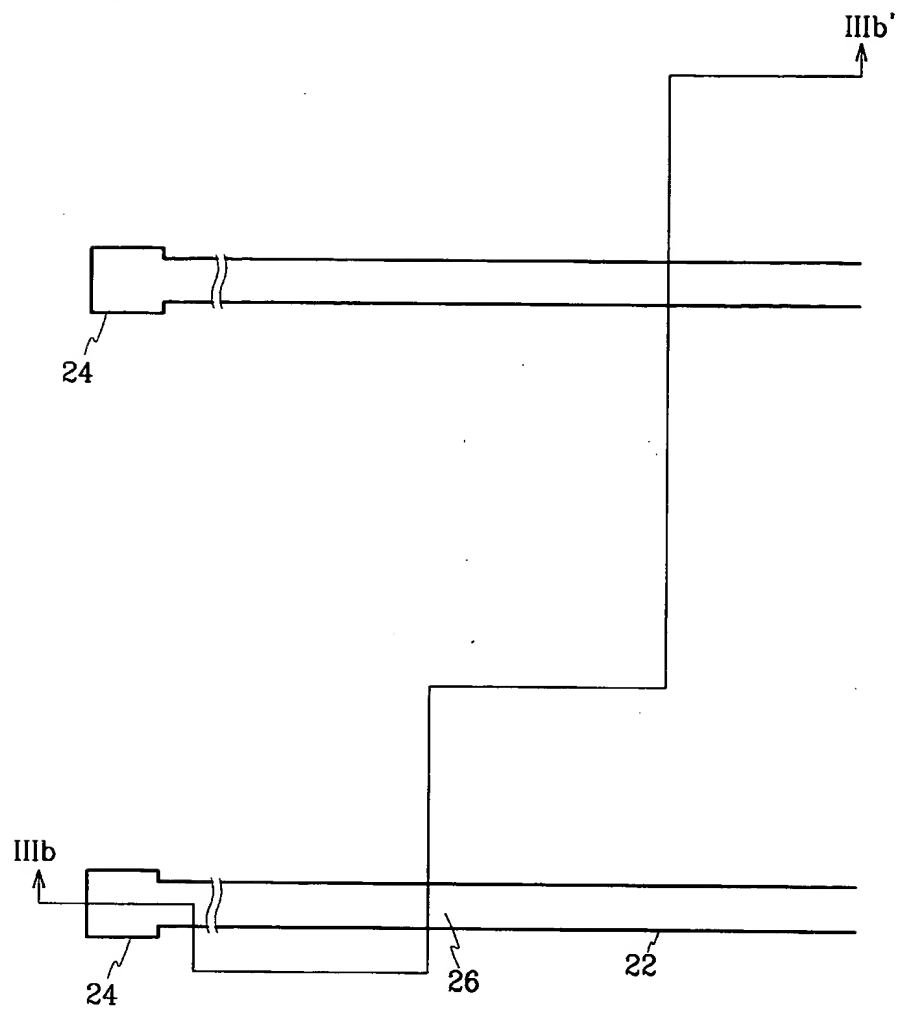
【도 1】



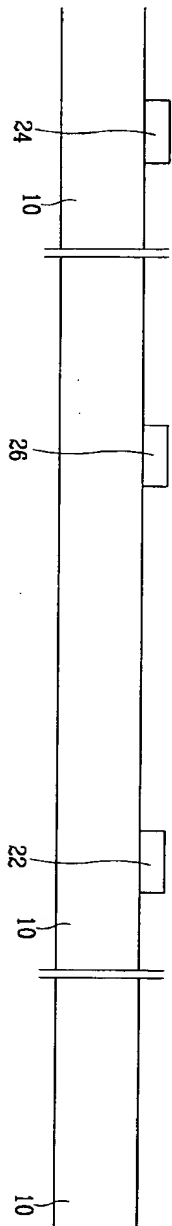




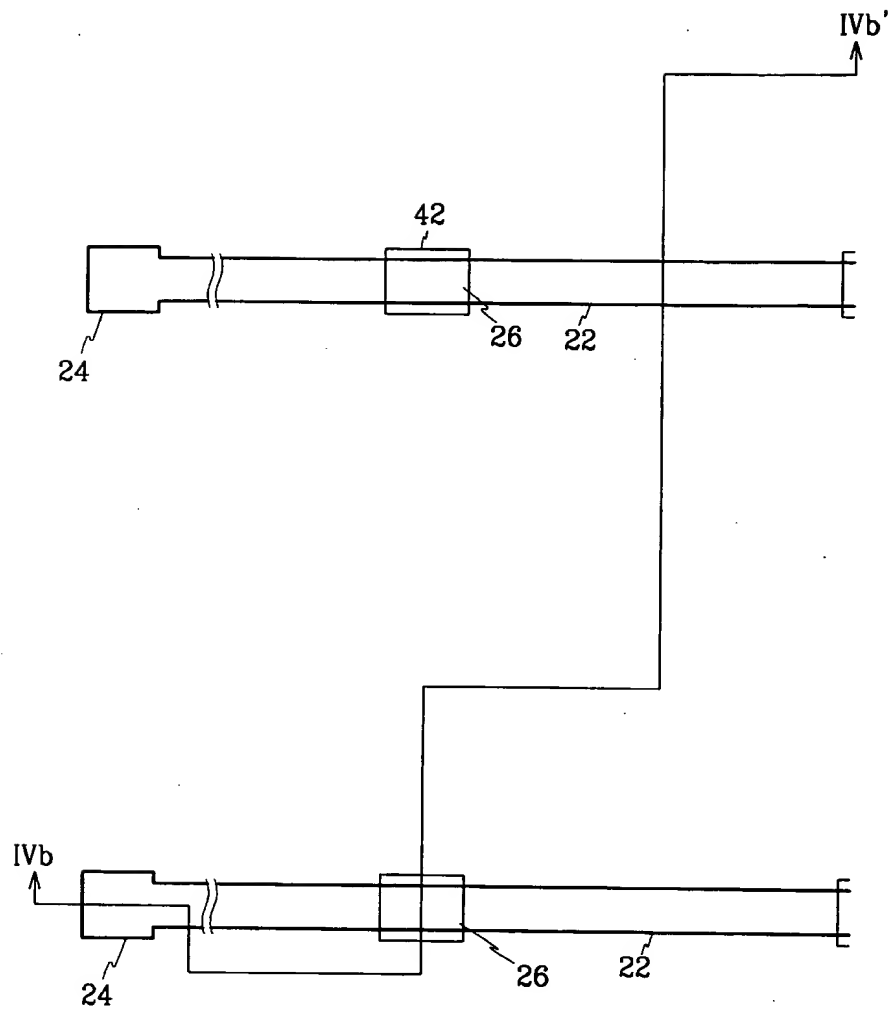
【도 3a】



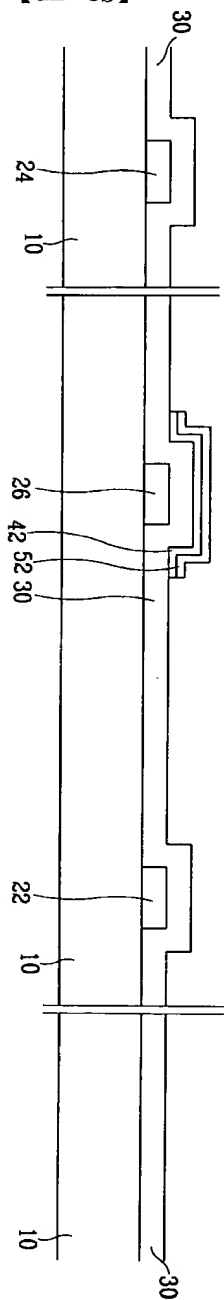
【도 3b】



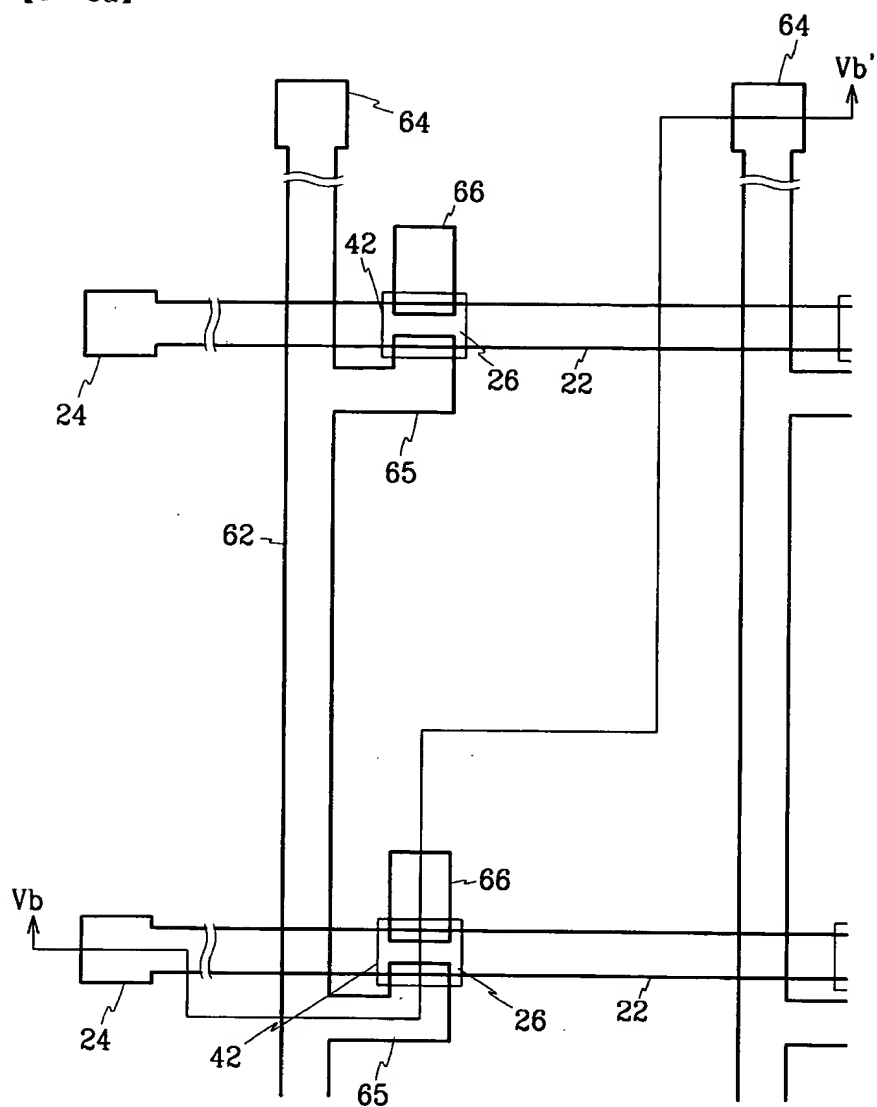
【도 4a】



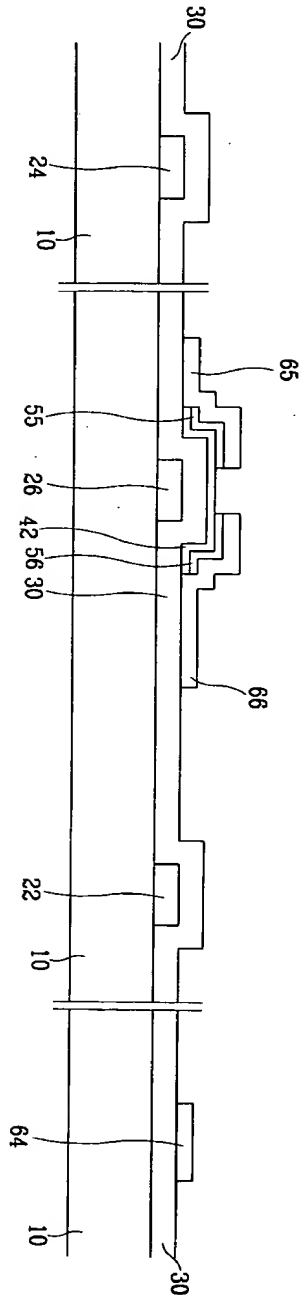
【도 4b】



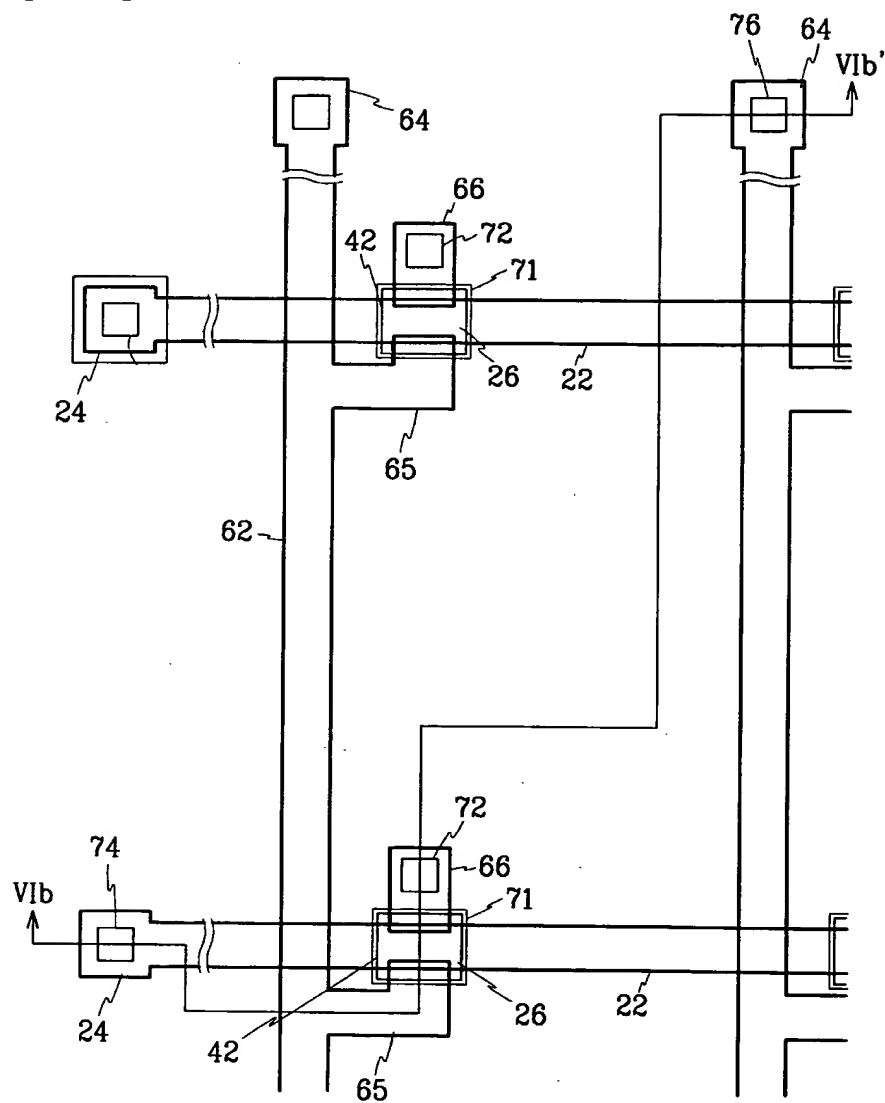
【도 5a】



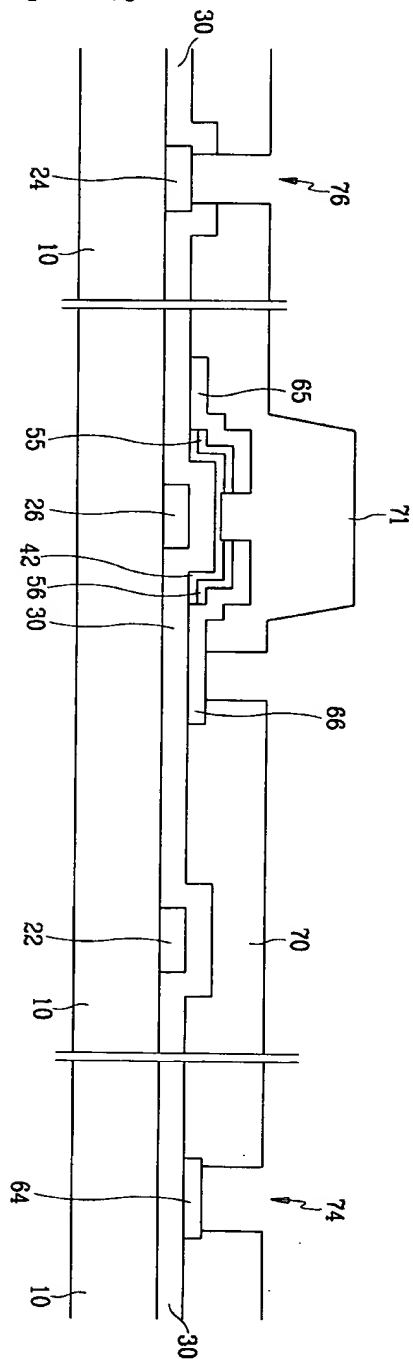
【도 5b】



【도 6a】

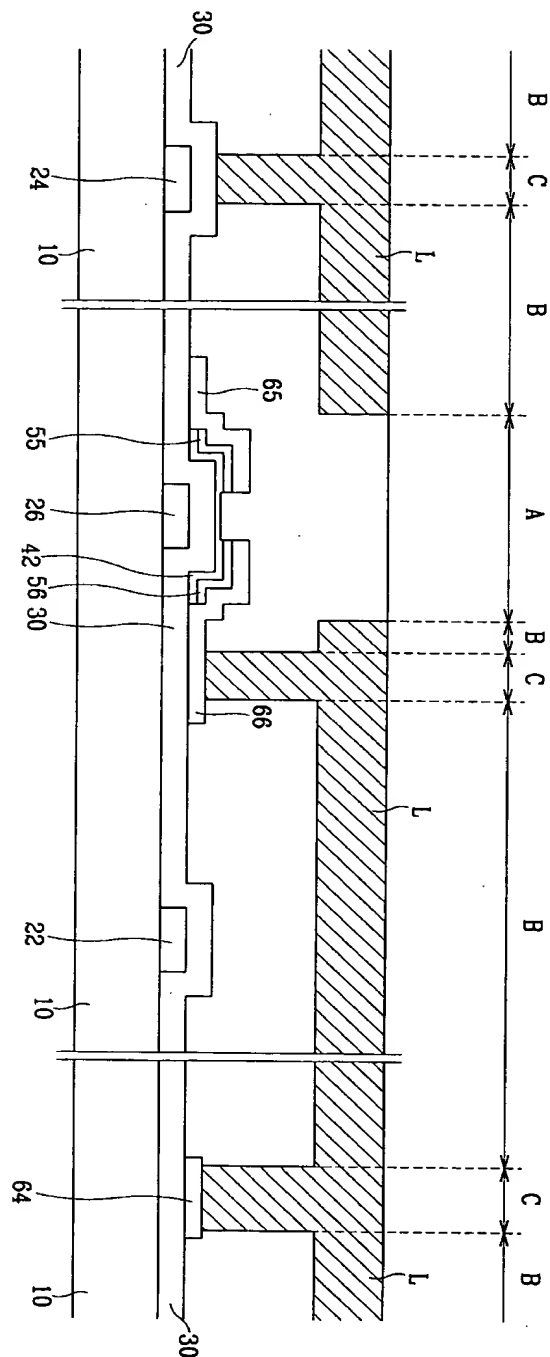


【도 6b】

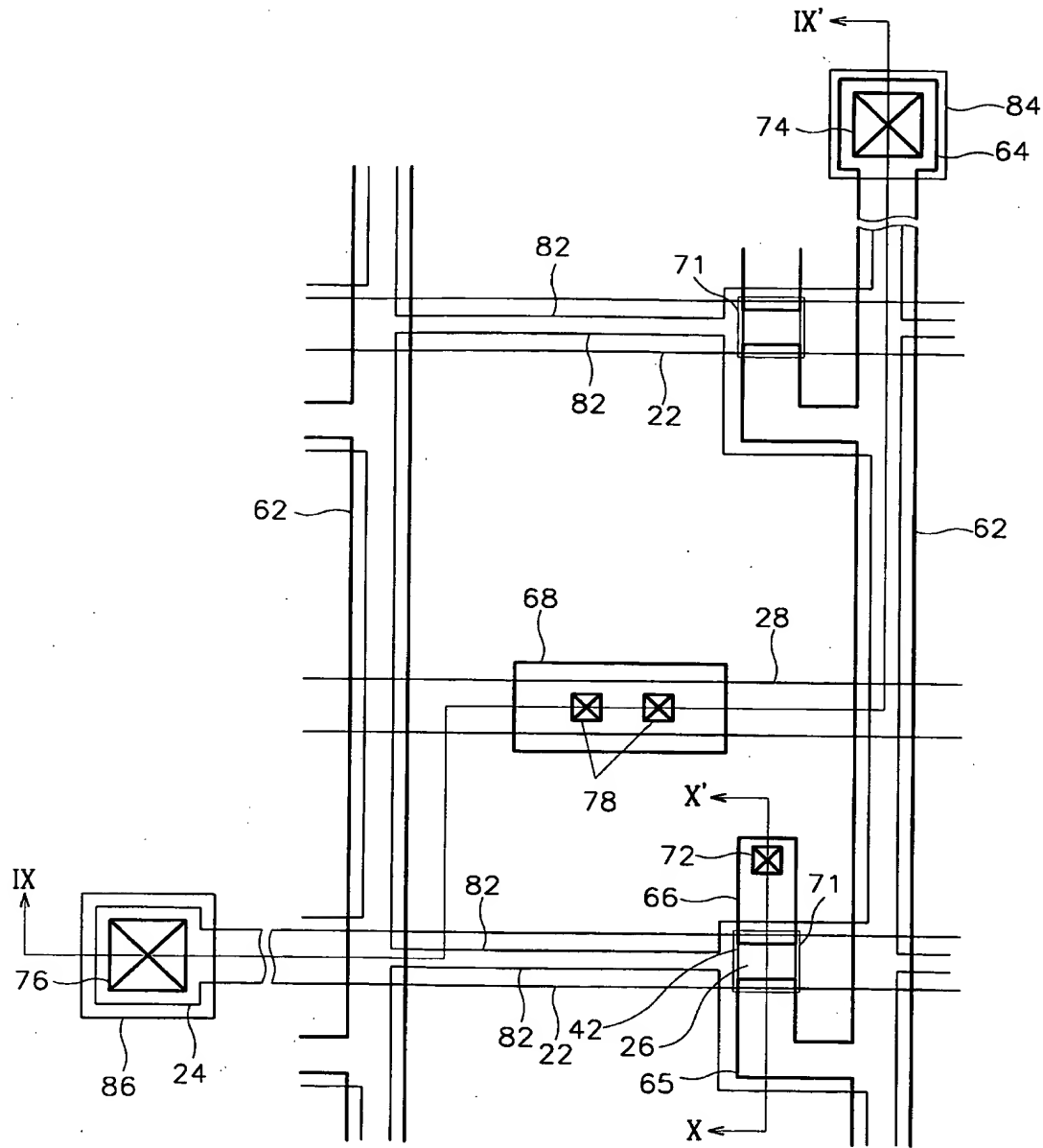




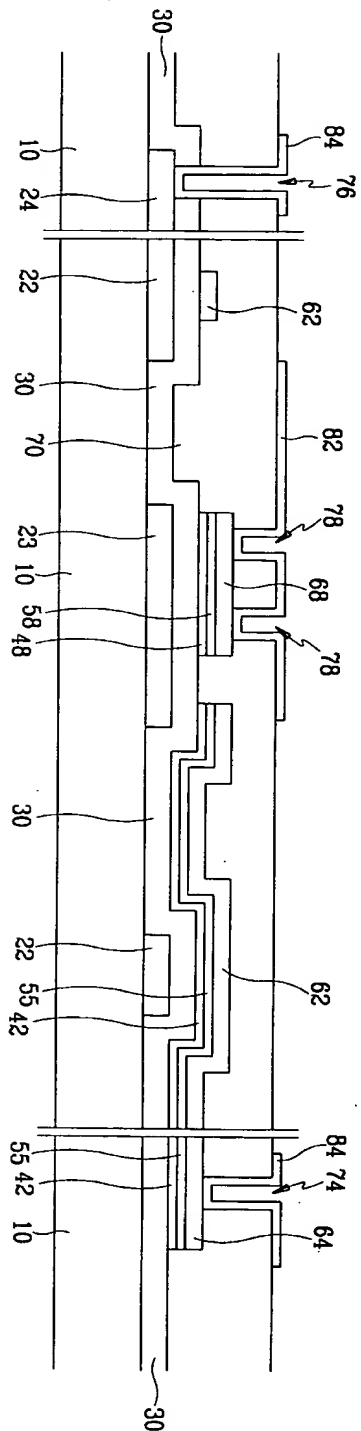
【도 7】



【도 8】

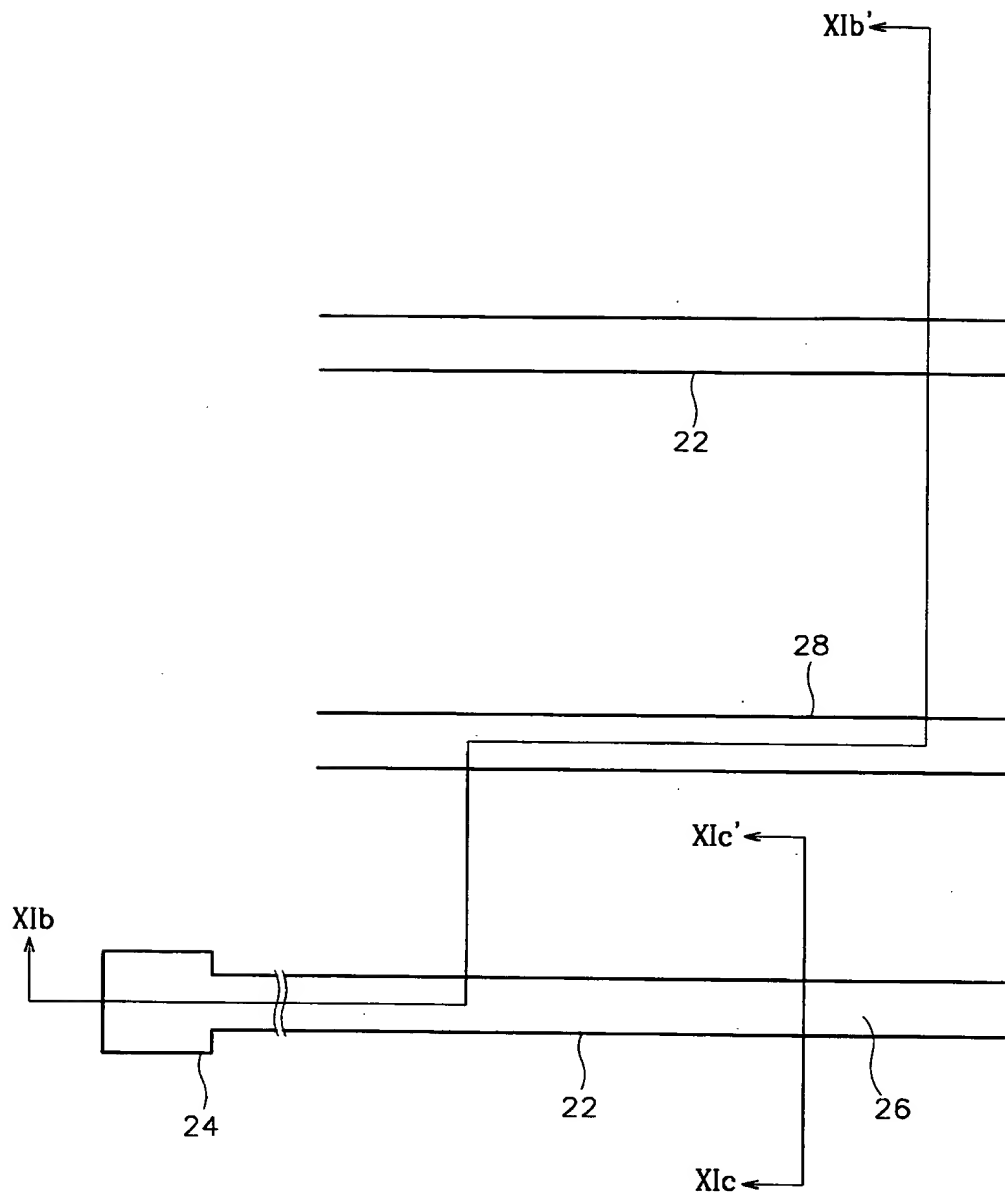


【도 9】

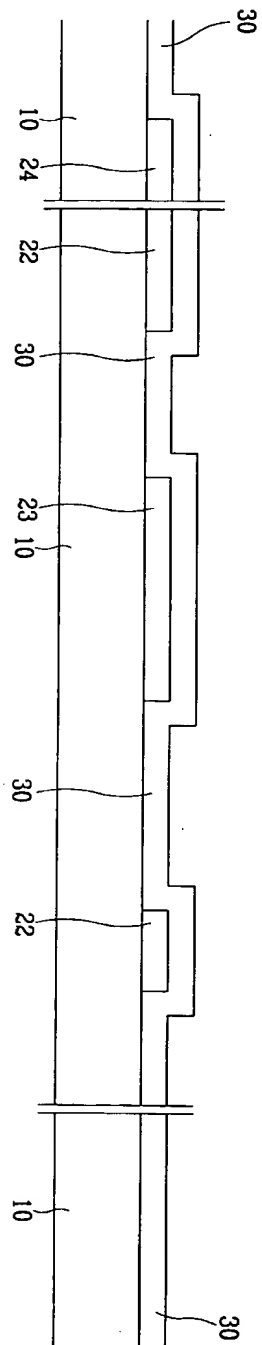




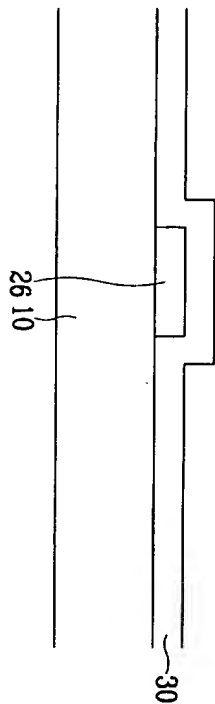
【도 11a】



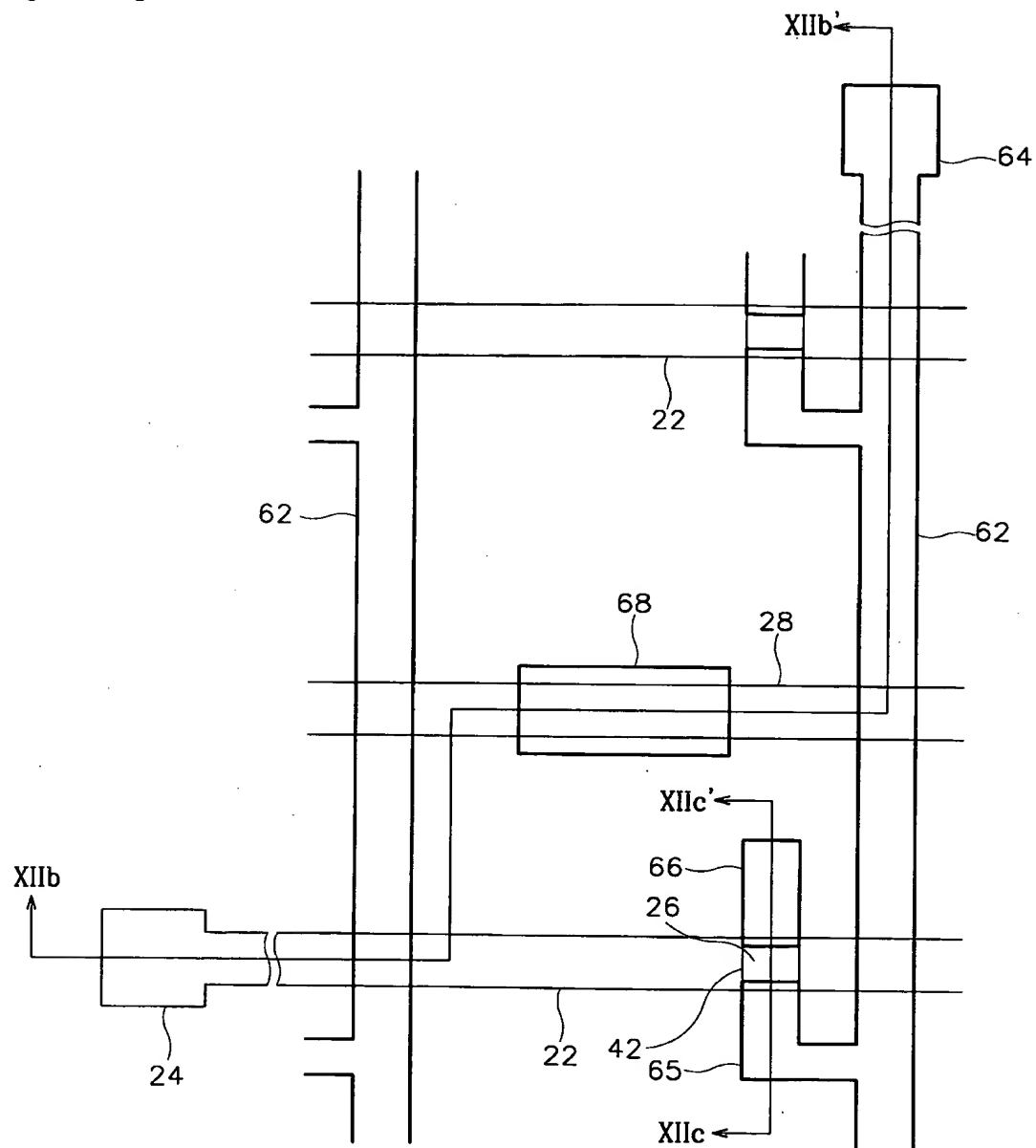
【도 11b】



【도 11c】

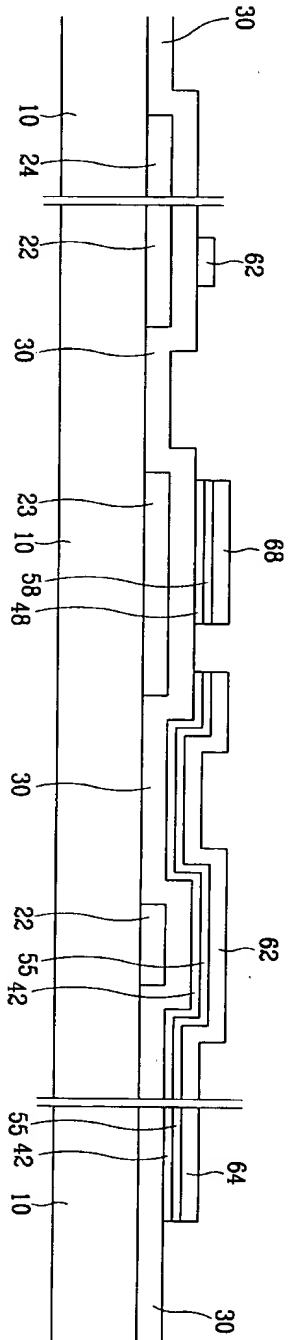


【도 12a】

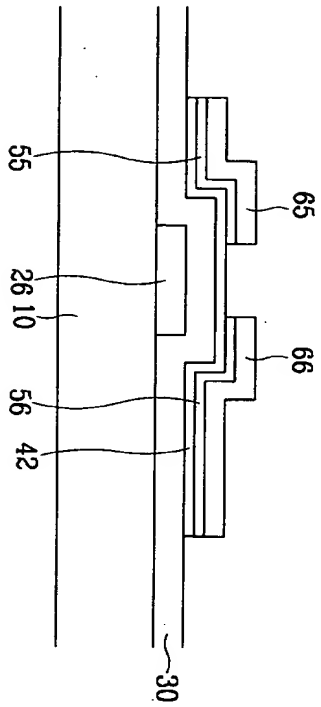




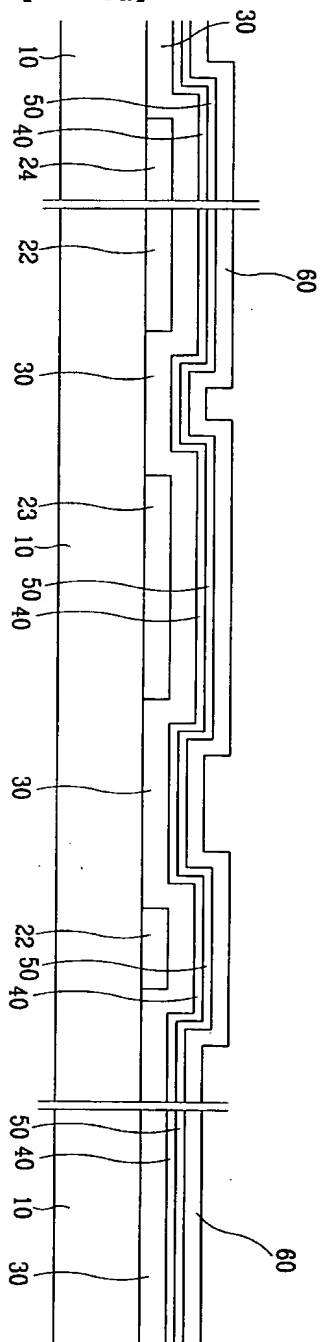
【도 12b】



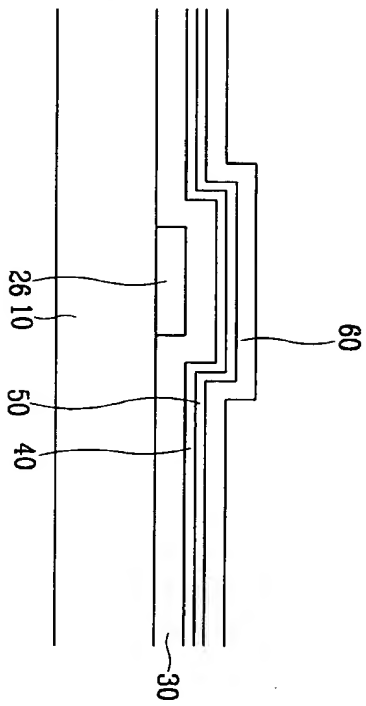
【도 12c】



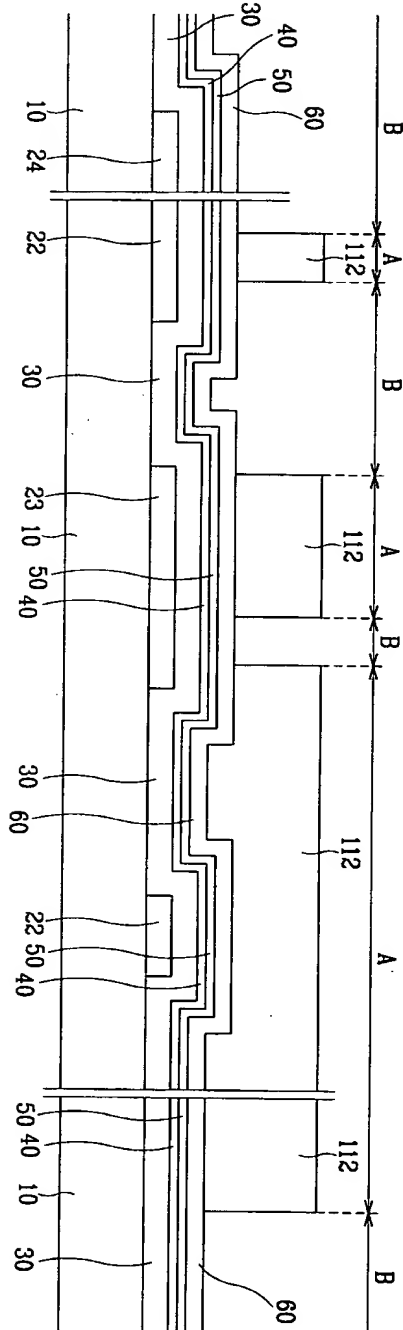
【도 13a】



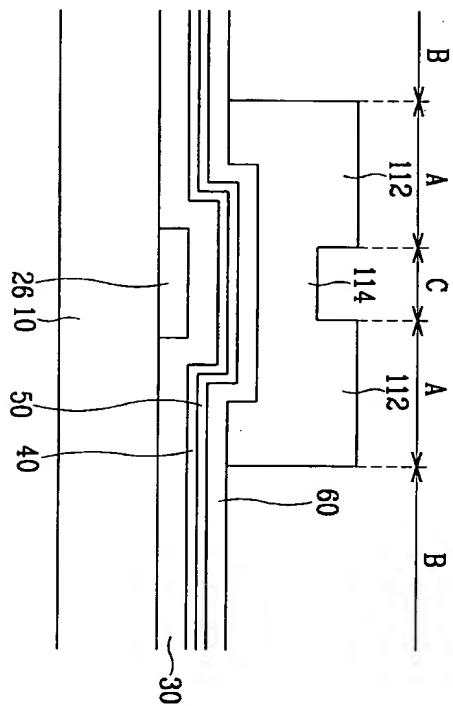
【도 13b】



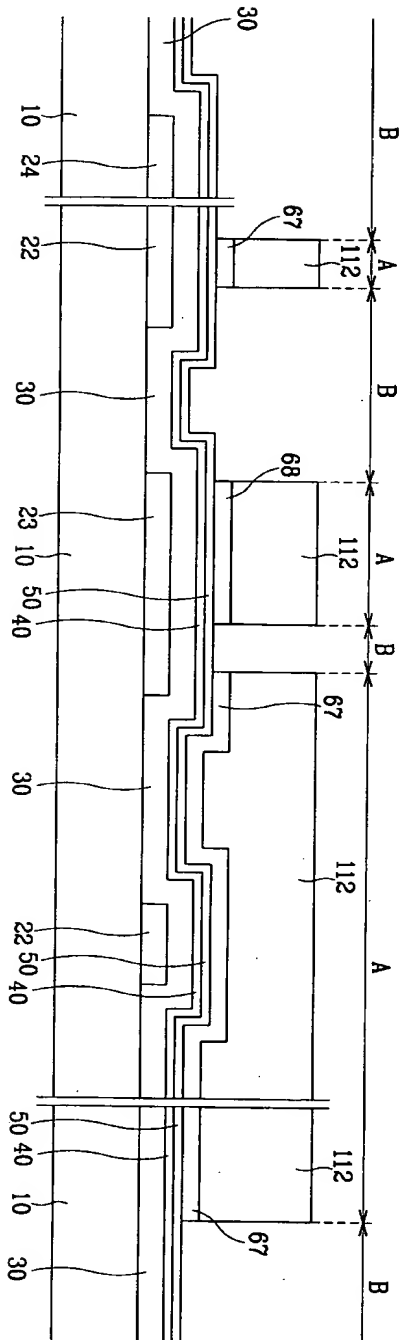
【도 14a】



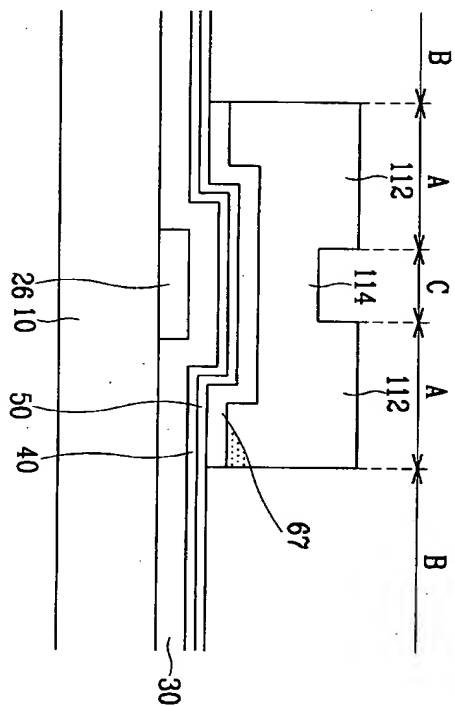
【도 14b】



【도 15a】

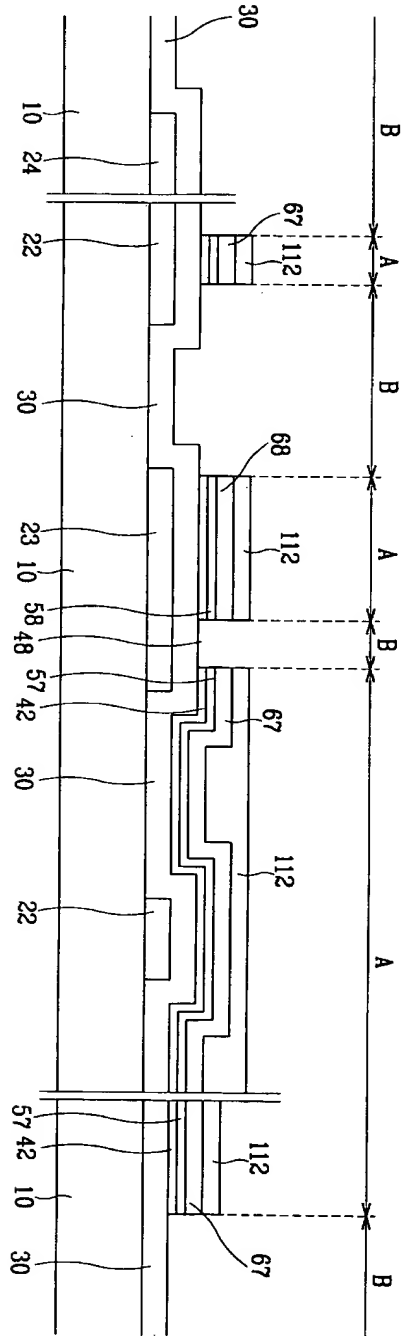


【도 15b】

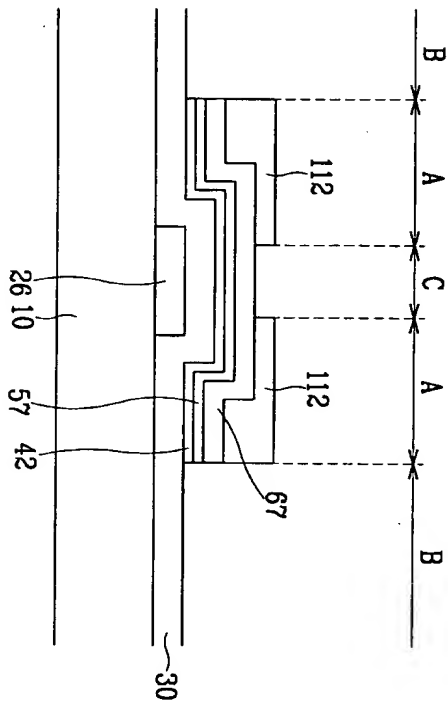




【도 16a】

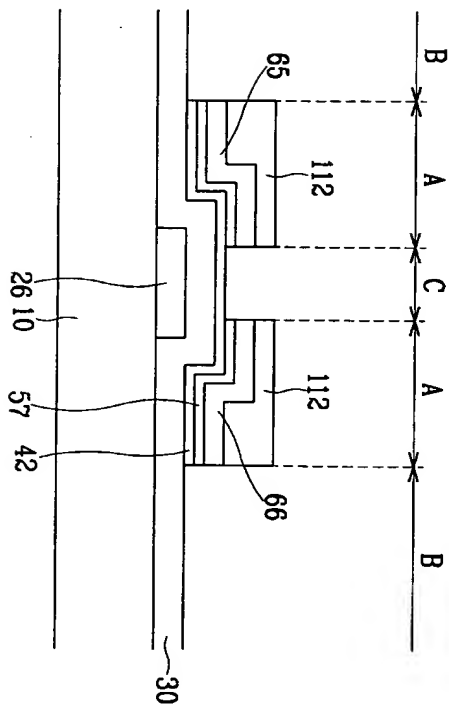


【도 16b】

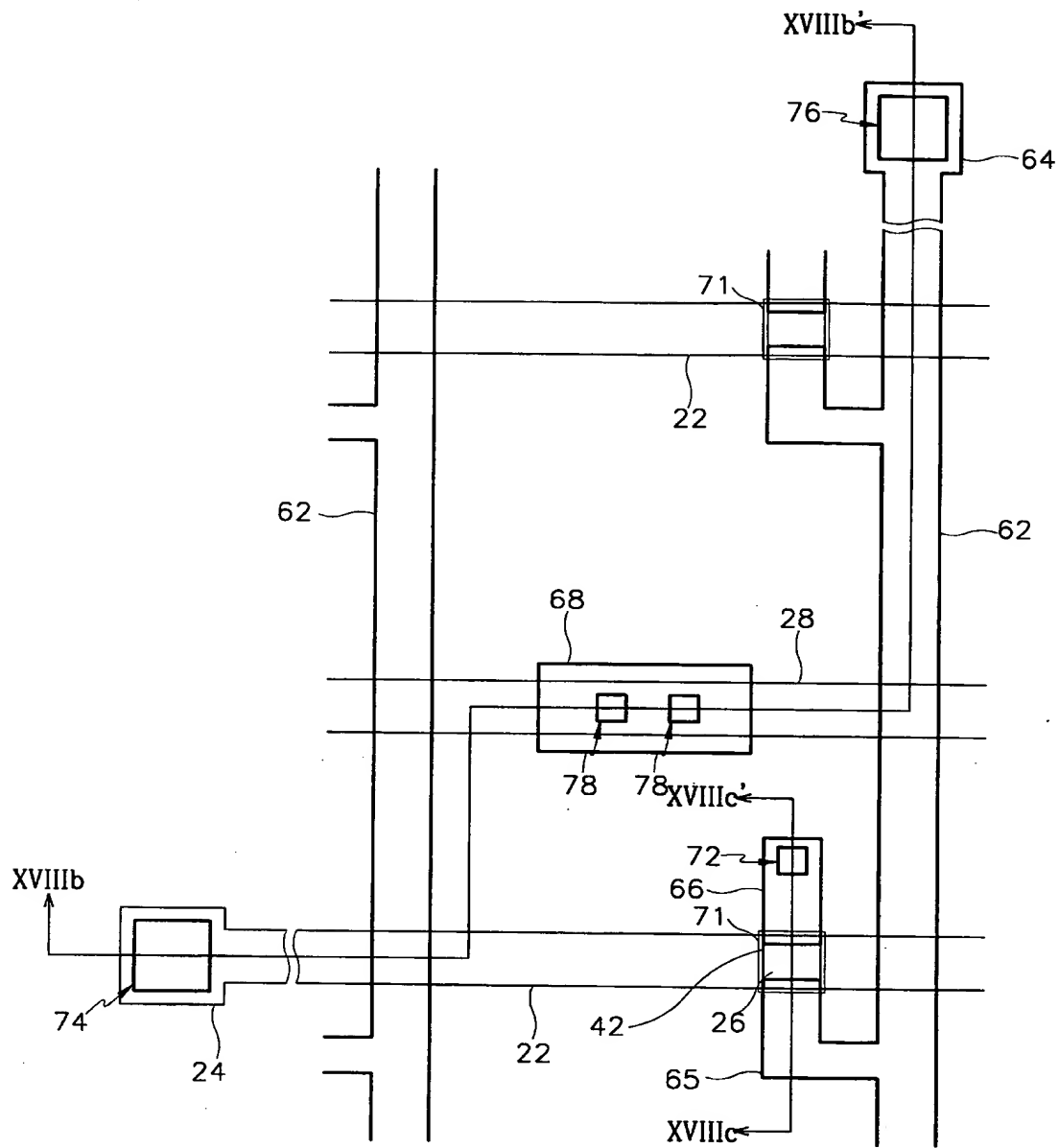




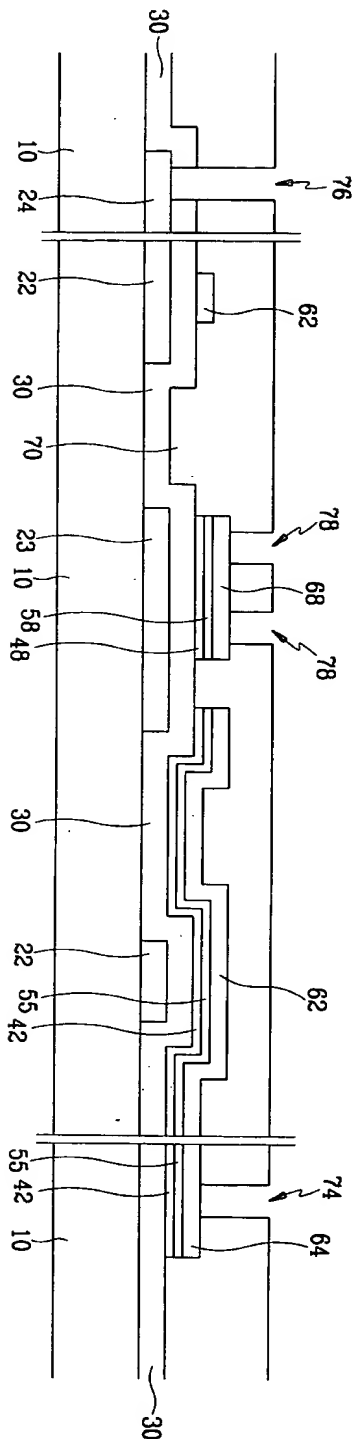
【도 17b】



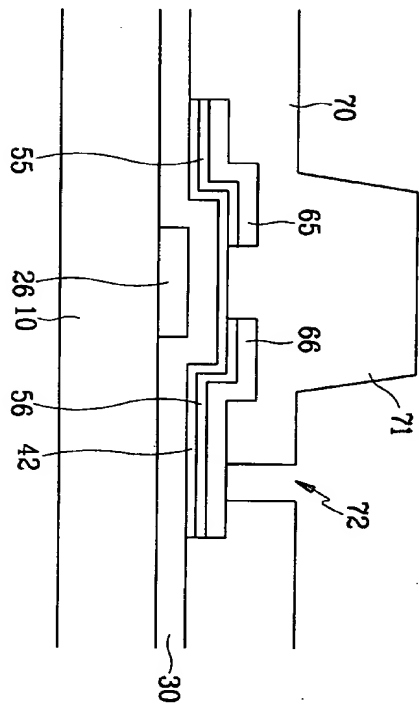
【도 18a】



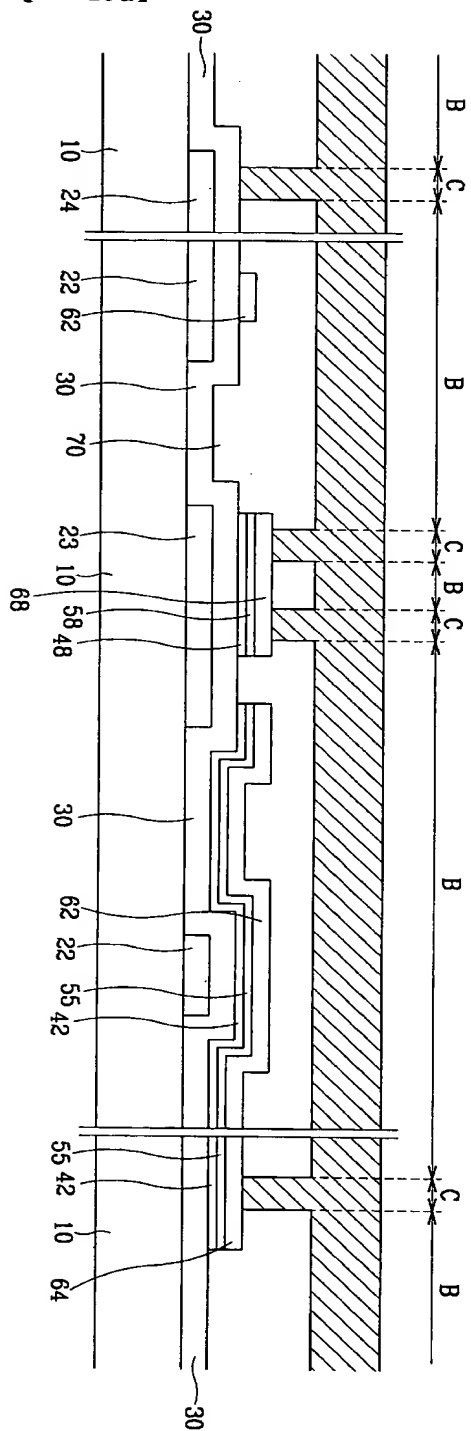
【도 18b】



【도 18c】

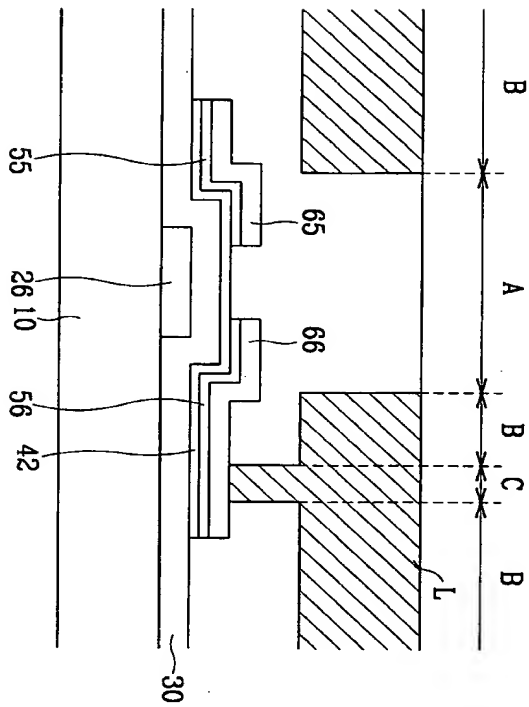


【도 19a】

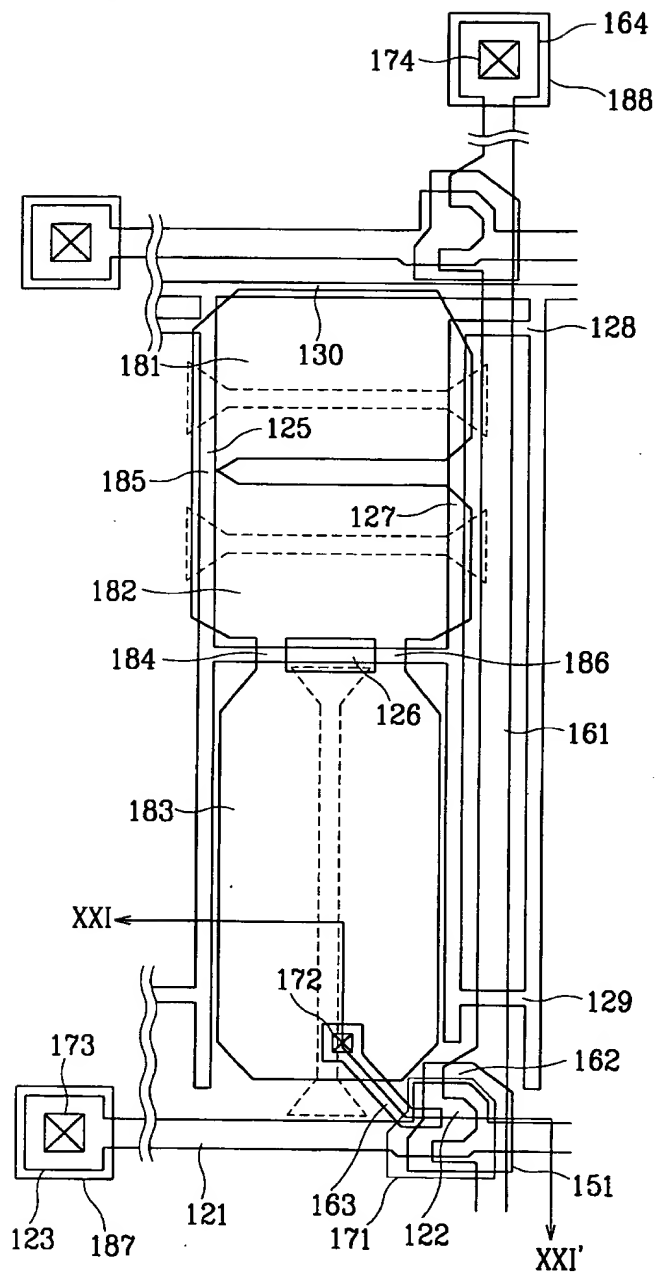




【도 19b】



【도 20】



【도 21】

